

<https://doi.org/10.31891/2219-9365-2022-72-4-21>

УДК 621.3.087.9

Любомир ПЕТРИШИН

Прикарпатський національний університет імені Василя Стефаника

<https://orcid.org/0000-0003-4168-3891>

Lubomyr.Petryshyn@pu.if.ua

Олександр НЕДОСНОВАНІЙ

Вінницький національний технічний університет

e-mail: alexandmedosnovany@gmail.com

МЕТОД ПІДВИЩЕННЯ ПРОДУКТИВНОСТІ АЦП-ПЕРЕТВОРЕННЯ КОМБІНАЦІЄЮ ПОРОЗРЯДНОГО І СІГМА-ДЕЛЬТА АЦП

У статті розглянуто запропонований метод підвищення продуктивності аналого-цифрового перетворення шляхом поєднання АЦП порозрядного врівноваження з ваговою надлишковістю і подальшого АЦ-перетворення за допомогою сігма-дельта АЦП. Процес перетворення здійснюється в два етапи. На першому – аналоговий сигнал (напряга або струм) перетворюється на n -розрядний код шляхом порозрядного наближення. Застосування вагової надлишковості дозволяє істотно (на порядок) зменшити час врівноваження. Збільшення розрядності доцільно реалізовувати шляхом сігма-дельта врівноваження. Надано структурну схему АЦП, що містить АЦП порозрядного врівноваження і сігма-дельта АЦП. Застосування на першому етапі перетворення порозрядного АЦП дозволяє на останньому етапі зменшити амплітуду недокомпенсованого різницевого сигналу на декілька порядків, що дозволить сігма-дельта АЦП швидко увійти в режим слідкувального врівноваження і отримувати вихідний код на кожному такті перетворення.

Ключові слова: високопродуктивні АЦП, АЦП порозрядного врівноваження, ЦАП паралельно дії, сігма-дельта АЦП, системи числення з ваговою надлишковістю.

Liubomyr PETRISHIN

Vasyl Stefanyk Precarpathian National University

Oleksandr NEDOSNOVANYI

Vinnitsia National Technical University

A METHOD FOR INCREASING THE PRODUCTIVITY OF THE AD-CONVERSION BY THE COMBINATION OF BIT-BALANCED AND SIGMA-DELTA ADC

The article considers the proposed method of increasing the productivity of analogue-to-digital conversion by combining a bit-balanced ADC with weight redundancy and further AD conversion using a sigma-delta ADC. The essence of this method is analyzed which consists in the fact that the conversion process is carried out in two stages. At the first stage, an analogue signal (voltage or current) is converted into an n -bit code by bitwise approximation. It is noted that the use of weight redundancy can significantly (by an order of magnitude) reduce the equilibration time. It is shown that further increase of the bit depth is expedient to implement by sigma-delta equilibration. This is especially important in the presence of noise and interference. A block diagram of an ADC containing a bit-wise equilibration ADC and a sigma-delta ADC is presented, where the input of the latter is expediently connected to the input bus of the device and to the DAC output of the bit-wise approximation ADC. The rationale for using sigma-delta ADCs is due to their high resolution of ≥ 16 bits. It is also shown that the use of a bit-by-bit ADC at the first stage of the conversion allows the last stage to reduce the amplitude of the undercompensated difference signal by several orders of magnitude, which will allow the sigma-delta ADC to quickly enter the tracking equilibrium mode and obtain the output code at each conversion cycle.

Thus, it is proved that the proposed method of improving the performance of the ADC conversion can significantly increase the coding resolution at the level of 30 binary bits while maintaining the average speed (units and tens of microseconds). Such characteristics of information form converters can be achieved using the modern element base of Analog devices, Burr-brown, National semiconductor, etc.

Key words: high-productivity ADCs, bit-balanced ADCs, parallel-action ADCs, sigma-delta ADCs, weighted redundancy number systems.

Постановка проблеми у загальному вигляді

та її зв'язок із важливими науковими чи практичними завданнями

Порівняння сігма-дельта АЦП та багатотактних інтегральних АЦП показує, що перші мають значні переваги. По-перше, характеристики перетворення сігма-дельта АЦП є більш лінійними, ніж у багатотактного інтегрального АЦП тієї ж вартості. Це пояснюється тим, що інтегратор сігма-дельта АЦП працює в значно вужчому динамічному діапазоні, а нелінійна чутливість перехідної характеристики підсилювача, на якому базується інтегратор, є значно нижчою. Ємність інтегратора сігма-дельта АЦП дуже мала – кілька десятків пікофарад – і ця ємність може бути виготовлена безпосередньо на кристалі ІС. У результаті такі АЦП мають дуже мало зовнішніх компонентів і тому займають набагато менше місця на платі і знижують рівень шуму. Так, наприклад, 24-розрядний сігма-дельта АЦП «AD7714» виготовляється у вигляді однієї мікросхеми в 24-контактному корпусі і споживає 3 мВт за ціною приблизно 14 доларів США, тоді як 18-розрядний АЦП з восьмирівневою інтеграцією «HI-7159» споживає 75 мВт за ціною приблизно 30

доларів США. Крім того, сігма-дельта АЦП починає видавати правильні результати після стрибка вхідного сигналу на 3-4 відліки, з першою частотою зрізу 50 Гц і роздільною здатністю 20 біт за 60-80 мс, тоді як мінімальний час перетворення для АЦП «HI-7159» з роздільною здатністю 18 біт і тією ж частотою зрізу становить 140 мс у випадку АЦП «HI-7159». Провідні виробники аналогових і цифрових ІС, такі як Analogue Devices і Burr Brown, зараз припиняють випуск багатотактних АЦП і повністю переходять на сігма-дельта АЦП в області АЦП з високою роздільною здатністю [6].

Аналіз досліджень та публікацій

ЦАП та АЦП знаходять широке застосування в різних галузях сучасної науки і техніки. Вони є невід'ємною складовою частиною цифрових вимірювальних приладів, систем перетворення і відображення інформації, програмованих джерел живлення, індикаторів на електронно-променевих трубках, радіолокаційних систем, установок для контролю елементів і мікросхем, а також важливими компонентами різних автоматичних систем контролю та управління, пристроїв введення – виведення інформації ЕОМ. На їхній основі будують перетворювачі та генератори практично будь-яких функцій, цифроекеровані аналогові реєструвальні пристрої, корелятори, аналізатори спектра тощо [5].

Великі перспективи використання швидкодіючих перетворювачів у телеметрії та телебаченні. Безсумнівно, серійний випуск малогабаритних і відносно дешевих АЦП ще більше посилює тенденцію проникнення методу дискретно-безперервного перетворення в сферу науки і техніки. Одним із стимулів розвитку ЦАП і АЦП в інтегральному виконанні останнім часом стало значне поширення мікропроцесорів і методів цифрового опрацювання даних, що у свою чергу стимулює їх розроблення та виробництво з новими досконалішими характеристиками.

Сігма-дельта АЦП високої роздільної здатності мають добре розвинену цифрову частину, що включає мікроконтролер. Це реалізує режими автоматичного обнулення та повномасштабного самокалібрування і дозволяє зовнішньому процесору зберігати та передавати відкалібровані коефіцієнти за вимогою [6].

Формулювання цілей статті

роботи є розроблення способів підвищення ефективності АЦП методом поєднання АЦП порозрядного врівноваження та сігма-дельта АЦП.

Розв'язання задач дослідження

АЦП порозрядного врівноваження. Схеми АЦП відрізняються методами перетворення та реалізацією, більшість з них містять ЦАП. Існують різні методи аналого-цифрового перетворення, включаючи послідовний підрахунок, порозрядне балансування, подвійне інтегрування, перетворення напруги в частоту і паралельне перетворення.

Найпоширенішим методом є побітове балансування (послідовне перетворення), яке починається зі старшого розряду ($2n-1$) і генерує коди послідовно, закінчуючи молодшим розрядом (першим). Ці коди надсилаються на ЦАП, вихід якого порівнюється з вхідним сигналом.

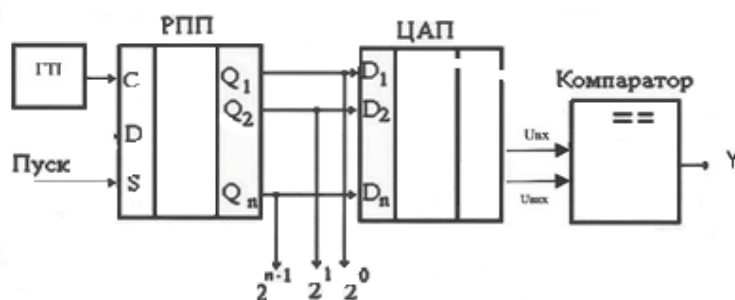


Рис. 1. Схема АЦП: РПП – регістр послідовних перетворень; ГТІ – генератор тактових імпульсів

Під час запуску ГТІ записує «1» у верхній біт RPD, код перетворюється на аналоговий сигнал і порівнюється з вхідним сигналом U_{in} . Залежно від виходу компаратора, ГТІ записує «1» у наступний біт, тоді як попередній біт залишається незмінним або обнуляється [2].

Із розвитком і вдосконаленням технологій виготовлення конденсаторів виявилось простішим, ніж резисторів у мікросхемах. Крім того, номінали конденсаторів є більш стабільними, ніж номінали резисторів. На рис. 2 показано порозрядний АЦП, в якому для простоти пояснення використовуються лише три двійкові біти (на практиці такий АЦП може містити до 18 бітів).

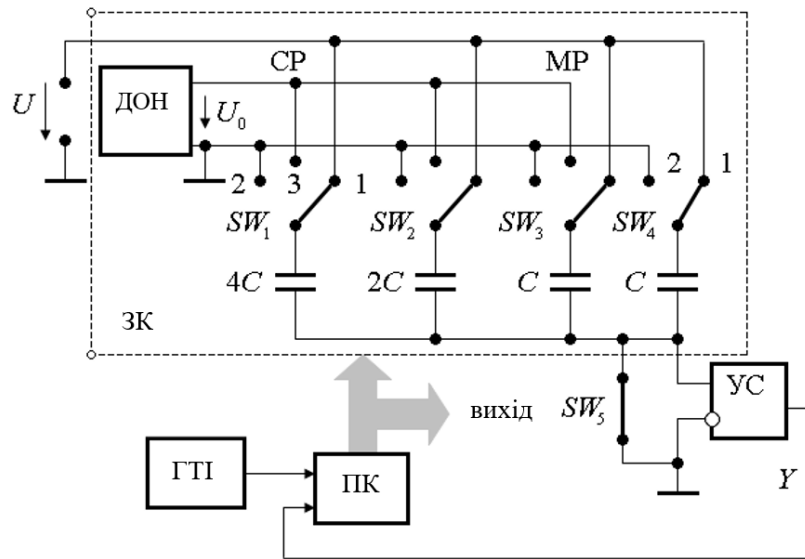


Рис. 2. АЦП порозрядного врівноваження з ЦАП на конденсаторах

Схема АЦП складається з ЦАП, генератора тактових імпульсів і контролера (СР). У свою чергу, запобіжник із кварцевим наповнювачем (ЗКН) включає джерело опорної напруги ДОН, бінарний набір конденсаторів $4C$ (високий); $2C$; C (низький); X перемикачів $SW_1 \dots SW_5$, де $SW_1 \dots SW_3$ можуть знаходитися в положеннях 1, 2 і 3, SW_4 – у положеннях 1 і 2, SW_5 – вимкнений або увімкнений [3].

Загалом, алгоритм перетворення тут такий самий, як і для будь-якого порозрядного АЦП, але використання комутованих конденсаторів має свою специфіку. Для АЦП, побудованого за схемою, представленою на рис. 3, процес перетворення складається із семи рівнів. Розглянемо їх.

1. Всі ключі знаходяться в положенні, вказаному на рис. 3, схему подано на рис. 3 а). Всі конденсатори заряджені до напруги U .

2. Ключі $SW_1 \dots SW_4$ перемикаються в положення 2 і вмикається ключ SW_5 . На вхід ПК [пристрій керування] подається напруга $U = -U$ (рис. 3 б). $U < 0$, так що на виході УС формується сигнал $Y=1$ («менший» стан).

3. Ключ високого рівня SW_1 перемикається у положення 3, а інші ключі залишаються у своїх попередніх положеннях. Схему рис. 3 спрощено до рис. 3 в) рис. 3 г). Відповідно до закону збереження заряду, на вході генерується напруга $U = -U + U_0/2$.

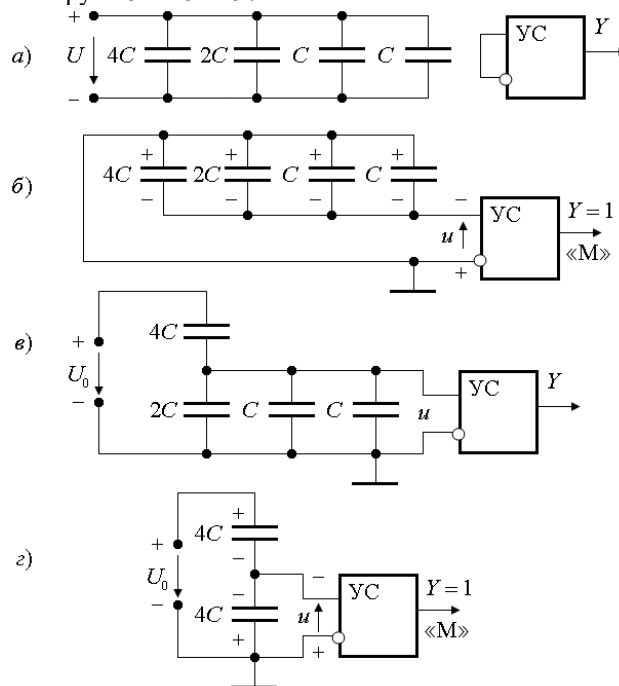


Рис. 3. Процес порозрядного врівноваження АЦП

Оскільки $U < 0$, сигнал Y залишається в стані «1» [6].

4. Повторюємо перший крок. Знову всі конденсатори заряджаємо до рівня напруги U .

5. Ключі $SW1$ і $SW2$ перемикаються в положення 3, ключі $SW3$ і $SW4$ – в положення 2, а ключ $SW5$ – в положення ON. Схема рис. 4 а) зводиться до схеми рис. 4 б).

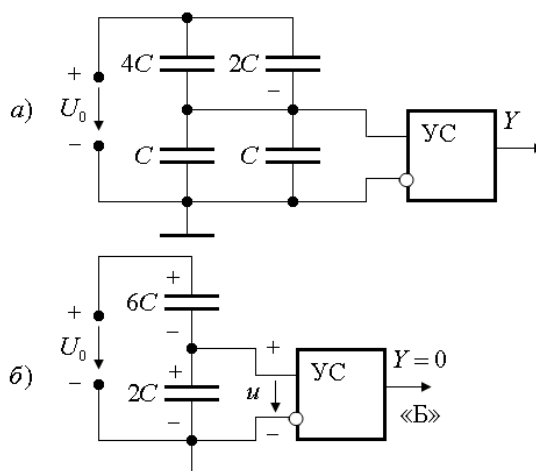


Рис. 4. Процес порозрядного врівноваження АЦП

На вході постійного струму формується напруга $U = -U + 6CU_0/(6C + 2C) = -U + 0,75U_0$.

Тут $u > 0$, тому сигнал Y перебуває у стані «0» (для «великого»). Це означає, що ключ $SW2$ більше не встановлений у положення 3.

6. Повторюємо перший крок. Знову всі конденсатори заряджаються до напруги U .

7. Перемикачі $SW1$ і $SW3$ перемикаються в положення 3, перемикачі $SW2$ і $SW4$ перемикаються в положення 2 і вмикається перемикач $SW5$. Ланцюг формується і скорочується, як показано на рис. 5.

Напруга $U = -U + 5C U_0/(5C + 3C) = -U + 5 U_0/8$ генерується на вході постійного струму.

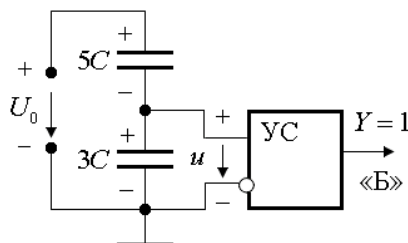


Рис. 5. Процес порозрядного врівноваження АЦП

Таким чином, сигнал Y встановлюється в стан «1». На цьому процес перетворення завершується. На виході АЦП формується код, що містить «1», і за допомогою цього біта відповідний ключ перемикається з положення 1 в положення 3, даючи сигнал $Y = 1$ на виході. У поточному процесі це ключі $SW1$ і $SW3$, тобто на виході АЦП код 101. Це двійковий код з числом $N = 5$. Використовуючи три двійкових числа, квант $q = U_0/8$, значення вхідної напруги, що визначається вихідним кодом, дорівнює $U > 5U_0/8$.

У розглянутому АЦП значення вхідної напруги U зберігається на конденсаторах, необхідних для виконання бітового балансування, а також функціонує як пристрій вибірки і зберігання (SSD), який іноді називають багатоканальним аналоговим запам'ятовуючим пристроєм [4].

Вихід кодується на частоті, що дорівнює першій частоті зрізу f_p цифрового фільтра, значення якої можна запрограмувати в діапазоні від 10 Гц до 1 кГц, як описано вище. Однак, якщо вхідна напруга стрибає по всьому діапазону, то в найгіршому випадку правильний результат перетворення буде отримано лише з четвертим кодовим словом після стрибка. Це означає, що час перетворення $\tau_{tr} = 4/f_p$, який коливається від 0,4 с до 4 мс залежно від значення $f_{по}$.

Таким чином, найвища роздільна здатність (24 біти) досягається за відносно низької швидкості (0,4 с).

Багатотактні інтегральні АЦП мають кілька недоліків. По-перше, перехідна статична нелінійність операційного підсилювача, що виконує інтегрування, має значний вплив на інтегральну нелінійність характеристик перетворення АЦП високої роздільної здатності. Щоб зменшити цей вплив, АЦП будуються з

декількома тактовими генераторами. Наприклад, 13-розрядний AD7550 виконує перетворення за чотири цикли. Іншим недоліком цих АЦП є те, що вхідний сигнал може бути інтегрований лише приблизно за одну третину циклу перетворення. Дві третини циклу перетворювач не отримує вхідного сигналу. Це погіршує завадостійкість інтегруючих АЦП. По-третє, багатозамикаючі інтегруючі АЦП потребують досить великої кількості зовнішніх резисторів і конденсаторів з високоякісними діелектриками, що значно збільшує площу, яку займає перетворювач на друкованій платі, а, отже, і заводські ефекти [5].

Ці недоліки були значною мірою усунуті в конструкції сігма-дельта АЦП (ці перетворювачі були відомі як АЦП з балансом заряду). Назва цих перетворювачів походить від наявності двох блоків: суматора (код операції: S) та інтегратора (код операції: D). Одним із принципів, притаманних цьому типу перетворювачів, є усереднення вимірювань у широкому часовому діапазоні, що зменшує похибки через шуми і покращує роздільну здатність.

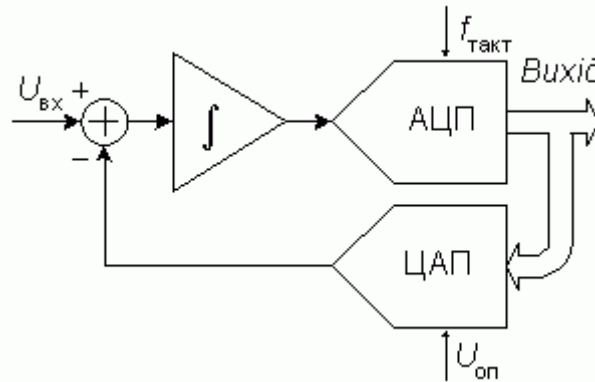


Рис. 6. Структурна схема сігма-дельта модулятора

Основними компонентами АЦП є сігма-дельта модулятор та цифровий фільтр. Схема n -розрядного сігма-дельта модулятора першого порядку показана на рис. 4. Робота цієї схеми базується на відніманні значення вихідного сигналу ЦАП, отриманого в попередньому такті роботи схеми, від вхідного сигналу $U_{вх}(t)$, на якому вона базується. Отримана різниця інтегрується і перетворюється в код за допомогою малорозрядного паралельного АЦП. Ця кодова послідовність подається на цифровий фільтр нижніх частот [2].

Порядок модуляторів визначається кількістю інтеграторів та суматорів у схемі: сігма-дельта модулятор

N -го порядку містить N суматорів та N інтеграторів і забезпечує більш високе співвідношення сигнал/шум, ніж модулятор першого порядку при тій самій частоті дискретизації. Прикладами сігма-дельта модуляторів вищих порядків є одноканальний AD7720 сьомого порядку та двоканальний ADMOD79 п'ятого порядку [1].

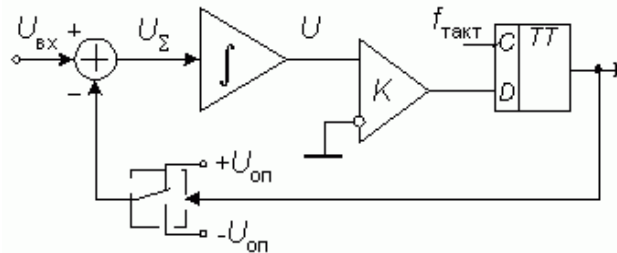


Рис. 7. Структурна схема сігма-дельта АЦП

Найчастіше використовується 1-розрядний сігма-дельта модулятор, що використовує компаратор як АЦП і аналоговий перемикач як ЦАП (рис. 5). У табл. 1 описано роботу на прикладі вхідного сигналу, що дорівнює 0,6 В при перетворенні $U_{оп} = 1$ В. При нульовому значенні вихідна напруга інтегратора обнуляється і вихід ЦАП також встановлюється в нуль. Далі схема проходить через ряд станів, як показано в табл. 1.

Якщо вхідний сигнал $U_i = 0,6$ В є постійним, то стан системи є однаковим у тактах 2 і 7, оскільки робочий цикл складає 5 тактів; усереднюючи вихідний сигнал ЦАП за цикл, значення напруги дійсно дорівнює 0,6В: $(1-1+1+1+1)/5 = 0,6$.

Для того, щоб сформувати вихідний код такого перетворювача, послідовність бітів у вигляді коду одиниці з виходу компаратора необхідно якимось чином перетворити в послідовний або паралельний двійковий код позиції. У найпростішому випадку це можна зробити за допомогою двійкового лічильника. Тут як приклад використовується 4-розрядний лічильник. Підрахунок 16 циклів бітів на виході компаратора

дає число 13; легко побачити, що коли $U_k = 1$ В, на виході компаратора завжди 1 і за цикл виходить число 16, тобто лічильник переповнюється. І навпаки, при $U_{ЦАП} = -1$ В на виході компаратора завжди буде 0, що відповідає вмісту лічильника, який дорівнює 0 в кінці циклу; при $U_{вх}=0$ кількість циклів дорівнює 810 або 10002, як видно з таблиці 1. Іншими словами, вихідна цифра АЦП представляється у вигляді коду зсуву. У наведеному вище прикладі верхня межа повної шкали дорівнює 11112 або +710, а нижня – 00002 або –810 для $U_s=0,6$ В, як видно з лівої половини таблиці 2, вміст лічильника в коді зсуву дорівнює 1310, що відповідає +5, що 8 відповідає $U_s = 1$ В, враховуючи, що $5 \cdot 1/8 = 0,625 > 0,6$ В.

Таблиця 1

Схема станів сигналу

N такту	$U_{вх}=0,6$ В				$U_{вх}=0$ В				
	U_s, Y	U_i, B	$U_k, \text{біт}$	$U_{ЦАП}, B$	N такту	U_s, Y	U_i, B	$U_k, \text{біт}$	$U_{ЦАП}, B$
1	0,6	0,6	1	1	1	1	1	1	1
2	-0,4	0,2	1	1	2	-1	0	0	-1
3	-0,4	-0,2	0	-1	3	1	1	1	1
4	1,6	1,4	1	1	4	-1	0	0	-1
5	-0,4	1,0	1	1	5	1	1	1	1
6	-0,4	0,6	1	1	6	-1	0	0	-1
7	-0,4	0,2	1	1	7	1	1	1	1
8	-0,4	-0,2	0	-1	8	-1	0	0	-1
9	1,6	1,4	1	1	9	1	1	1	1
10	-0,4	1,0	1	1	10	-1	0	0	-1
11	-0,4	0,6	1	1	11	1	1	1	1
12	-0,4	0,2	1	1	12	-1	0	0	-1
13	-0,4	-0,2	0	-1	13	1	1	1	1
14	1,6	1,4	1	1	14	-1	0	0	-1
15	-0,4	1,0	1	1	15	1	1	1	1
16	-0,4	0,6	1	1	16	-1	0	0	-1

Під час використання двійкового лічильника як перетворювача для бітового потоку з виходу компаратора необхідно призначити фіксований період перетворення, тривалість якого дорівнює добутку f_{clock} . Після завершення циклу результат повинен бути зчитаний, наприклад, за допомогою регістра та скидання лічильника. У цьому випадку сігма-дельта АЦП за завадостійкістю подібні до багатотактних інтегральних АЦП. У зв'язку з цим ефективним є використання в сігма-дельта АЦП цифрових фільтрів з обмеженою тривалістю перехідного процесу.

У сігма-дельта АЦП часто використовують цифрові фільтри з амплітудно-частотною характеристикою (АЧХ) виду $(\sin x/x)^3$. Передатна функція такого фільтра в z -області визначається наступним рівнянням

$$W(z) = \left[\frac{1-z^{-M}}{M(1-z^{-1})} \right]^3, \quad (1)$$

де M – ціле число, яке задається програмно та дорівнює відношенню тактової частоти модулятора до частоти відліків фільтра. (Частота відліків – це частота, з якої обновлюються дані). Наприклад, для АЦП AD7714 це число може приймати значення від 19 до 4000. У частотній області модуль передаточної функції фільтра

$$H(f) = \left[\frac{\sin(M\pi f/f_{\text{fact}})}{M\sin(\pi f/f_{\text{fact}})} \right]^3. \quad (2)$$

На рис. 4 показано графік амплітудно-частотної характеристики цифрового фільтра, що відповідає рівнянню, при $f_{\text{fact}} = 38,4$ кГц і $M = 192$. Це дає значення частоти дискретизації, що відповідає першій частоті зрізу $f_{\text{req}} = 50$ Гц фільтра АЦП. Порівнюючи цю частотну характеристику з частотною характеристикою коефіцієнта завадостійкості двічі інтегрованого АЦП (див. рис. 2), можна побачити, що характеристики завадостійкості сігма-дельта АЦП значно кращі [3].

Також при використанні цифрового фільтра нижніх частот замість лічильника в сігма-дельта АЦП можуть виникати перехідні процеси при зміні вхідної напруги. Час встановлення цифрового фільтра з обмеженим часом перехідного процесу, як впливає з назви, скінченний: чотири цикли частоти дискретизації для фільтра виду $(\sin x/x)^3$ і три цикли в початковій нульовій точці фільтра. Це знижує продуктивність систем збирання даних на основі сігма-дельта АЦП. Із цієї причини мікросхеми AD7730 і AD7731 виготовляються зі складними цифровими фільтрами, які дозволяють перемикає канали з часом встановлення 1 мс (так званий режим швидкого кроку), зберігаючи при цьому ефективну розрядність не менше 13 біт. Цифровий фільтр зазвичай виготовляється на одній мікросхемі з модулятором, але також може бути виготовлений у вигляді двох окремих мікросхем (наприклад, AD1555 – модулятор 4-го порядку і AD1556 – цифровий фільтр).

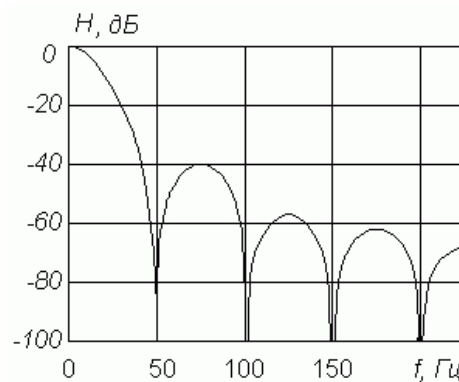


Рис. 8. АЧХ цифрового фільтра сігма-дельта АЦП

Порівняння сігма-дельта АЦП та багатотактних інтегральних АЦП показує, що перші мають значні переваги.

Висновки з даного дослідження і перспективи подальших розвідок у даному напрямі.

Характеристики перетворення сігма-дельта АЦП є більш лінійними, ніж у багатотактного інтегрального АЦП тієї ж вартості. Це пояснюється тим, що інтегратор сігма-дельта АЦП працює в значно вужчому динамічному діапазоні, а нелінійна чутливість перехідної характеристики підсилювача, на якому базується інтегратор, є значно нижчою. Ємність інтегратора сігма-дельта АЦП дуже мала – кілька десятків пікофарад – і ця ємність може бути виготовлена безпосередньо на кристалі ІС. У результаті, вони мають дуже мало зовнішніх компонентів і тому займають набагато менше місця на платі і знижують рівень шуму. Так, наприклад, такий 24-розрядний АЦП «AD7714» виготовляється у вигляді однієї мікросхеми в 24-контактному корпусі і споживає 3 мВт, тоді як 18-розрядний АЦП з восьмирівневою інтеграцією «HI-7159» споживає 75 мВт. Крім того, сігма-дельта АЦП починає видавати правильні результати після стрибка вхідного сигналу на 3-4 відліки, з першою частотою зрізу 50 Гц і роздільною здатністю 20 біт за 60-80 мс, тоді як мінімальний час перетворення для АЦП «HI-7159» з роздільною здатністю 18 біт і тією ж частотою зрізу становить 140 мс у випадку АЦП «HI-7159». Провідні виробники аналогових і цифрових ІС, такі як Analogue Devices і Burr Brown, зараз припиняють випуск багатотактних АЦП і повністю переходять на сігма-дельта АЦП в області АЦП з високою роздільною здатністю [6].

Сігма-дельта АЦП високої роздільної здатності мають добре розвинену цифрову частину, що включає мікроконтролер. Це реалізує режими автоматичного обнулення та повномасштабного самокалібрування і дозволяє зовнішньому процесору зберігати та передавати відкалібровані коефіцієнти на вимогу.

Література

1. В. Г. Чернов. Пристрої вводу-виводу аналогової інформації для цифрових систем збору та обробки даних : Київ, 2019. 184. с.
2. В. Л. Шило. Популярні цифрові мікросхеми: довідник. Київ: Металургія, Київське відд., 2019. 352 с.

3. Гітис Е. І., Піскулов Е.А. Аналого-цифрові перетворювачі: Навч. посібник для вузів. Київ, 2021. 360 с.
4. Гутников В. С. Інтегральна електроніка у вимірювальних пристроях. 2-ге видання. Київ, 2018. 304 с.
5. Лебедєв О. М., Мірошніченко О. І., Телець В. А.; за ред. О. І. Ладіка, О. І. Сташкевича. Вироби електронної техніки. Цифрові мікросхеми. Мікросхеми пам'яті. Мікросхеми ЦАП і АЦП: Довідник Київ: 2021. 248 с.
6. В. І. Зубчук, В. П. Сігорський, О. М. Шкуро: Довідник із цифрової схемотехніки Київ, 2020. 446 с.

References

1. Chernov V.G.. Analogue information input and output devices for digital data acquisition and processing systems: Kyiv, 2019. 184 с.
2. Shilo VL. Popular digital microcircuits: a reference book. Kyiv: Metallurgy, Kyiv branch, 2019. 352 с.
3. Gitis E.I., Piskulov E.A. Analogue-to-digital converters: Study guide for universities. Kyiv, 2021. 360 с.
4. Integrated electronics in measuring devices. 2nd edition. Kyiv, 2018. 304 с.
5. Lebediev O. M., Miroshnychenko O. I., Taurus V. A.; ed. by O. I. Ladik, O. I. Stashkevych. Products of electronic equipment. Digital microcircuits. Memory chips. DAC and ADC chips: Handbook Kyiv: 2021. 248 с.
6. Zubchuk V. I., Sigorsky V. P., Shkuro O. M.: Handbook of digital circuitry Kyiv, 2020. 446 с.