https://doi.org/10.31891/2219-9365-2025-82-59
УДК 004.27

ТОРСЬКА Роксана
ПЗВО «ІТ СТЕП УНІВЕРСИТЕТ»
https://orcid.org/0009-0003-9571-5809
e-mail: roxana.torska@gmail.com

ФІЗИЧНІ ОСНОВИ ТА МЕТОДИ РЕАЛІЗАЦІЇ P-БІТІВ

У статті проведено огляд фізичних та апаратних реалізацій p-бітів – стохастичних двійкових елементів, що становлять основу ймовірнісних обчислень. Розглянуто ключові технології, зокрема магнітно-тунельні структури (s-MTJ), мемристори, RRAM, CMOS та FPGA, їхні принципи роботи, переваги й обмеження. Описано сучасні архітектури та прототипи p-бітових систем, а також можливості їх масштабування та застосування у стохастичному моделюванні, оптимізації та обернених обчисленнях. Наведено перспективи розвитку матеріалів і апаратних схем, що сприятимуть підвищенню ефективності й надійності ймовірнісних обчислювальних платформ.

Ключові слова: p-біт, ймовірнісні обчислення, стохастичні логічні схеми, p-схеми, апаратна реалізація p-бітів, обернене обчислення, оптимізаційні алгоритми, s-MTJ, мемристор, FPGA

TORSKA Roxana
IT STEP UNIVERSITY

PHYSICAL FOUNDATIONS AND IMPLEMENTATION METHODS OF P-BITS

This article presents a comprehensive overview of the physical principles, hardware architectures, and technological implementations of p-bits — stochastic binary elements that constitute the fundamental building blocks of probabilistic computing systems. P-bits, unlike conventional deterministic logic elements, operate based on controlled randomness, enabling efficient realisation of computational tasks that are inherently probabilistic in nature. The review covers a wide range of key hardware technologies employed in the creation of p-bits, including superparamagnetic magnetic tunnel junctions (s-MTJ), memristors, resistive random-access memory (RRAM), CMOS-based circuits, and field-programmable gate arrays (FPGA). For each of these approaches, the article details the underlying physical operating principles, characteristic parameters, strengths, and inherent limitations, providing a comparative analysis of their suitability for various computational scenarios. Special attention is given to recent advances in the development of experimental prototypes and architectures that integrate multiple p-bits into scalable systems, exploring their potential for large-scale implementation. Examples of contemporary hardware platforms are discussed in the context of practical applications such as stochastic modelling, combinatorial optimisation problems, and inverse computations in machine learning and data analysis. Furthermore, the article examines the future prospects of probabilistic computing, highlighting emerging trends in material science, nanoscale fabrication, and circuit design aimed at improving the performance, energy efficiency, and reliability of p-bit devices. The concluding section addresses open challenges and outlines possible research directions for bridging the gap between current laboratory-scale prototypes and fully functional, commercially viable probabilistic computing platforms.

Keywords: p-bit, probabilistic computing, stochastic logic circuits, p-circuits, hardware implementation of p-bits, inverse computation, optimisation algorithms, s-MTJ, memristor, FPGA

Стаття надійшла до редакції / Received 17.04.2025
Прийнята до друку / Accepted 04.05.2025

ПОСТАНОВКА ПРОБЛЕМИ У ЗАГАЛЬНОМУ ВИГЛЯДІ ТА ЇЇ ЗВ'ЯЗОК ІЗ ВАЖЛИВИМИ НАУКОВИМИ ЧИ ПРАКТИЧНИМИ ЗАВДАННЯМИ

Зростання складності задач оптимізації, машинного навчання, криптографії та моделювання систем із великою кількістю станів актуалізує пошук обчислювальних архітектур, здатних ефективно працювати в умовах невизначеності. Традиційні детерміновані методи часто є обмеженими у випадках, коли потрібне статистичне навчання або пошук у складних просторах рішень. Одним із перспективних напрямів є ймовірнісні обчислення на основі p-бітів – класичних стохастичних елементів, що функціонують при кімнатній температурі та здатні моделювати складні ймовірнісні залежності [1, 2]. Фізичні реалізації p-бітів охоплюють спінтронні магнітно-тунельні переходи (s-MTJ), CMOS та мемристорні структури, що дозволяє поєднувати високу швидкодію, низьке енергоспоживання й масштабованість [3]. Сучасні підходи передбачають калібрування й узгодження стохастичних виходів p-бітів для стабільної роботи в апаратних мережах [4]. Ці властивості роблять p-біти привабливою платформою для реалізації апаратних прискорювачів у задачах оптимізації, стохастичного моделювання та обернених обчислень.

ФОРМУЛЮВАННЯ ЦІЛЕЙ СТАТТІ

Метою цієї оглядової статті є систематизація сучасних підходів до фізичних та апаратних реалізацій p-бітів як базових елементів ймовірнісних обчислень. У статті проаналізовано ключові технології (s-MTJ, мемристори, RRAM, CMOS, FPGA), їхні переваги та обмеження, а також розглянуто сучасні архітектури й прототипи p-бітових апаратних систем. Крім того, стаття висвітлює можливості масштабування та

застосування p-бітів у стохастичному моделюванні, обернених обчисленнях і апаратних прискорювачах, що робить її корисним ресурсом для дослідників і розробників у цій міждисциплінарній галузі.

ВИКЛАД ОСНОВНОГО МАТЕРІАЛУ

P-біт як базовий обчислювальний елемент

P-біт (probabilistic bit) – класичний двійковий елемент, що стохастично перемикається між станами «0» і «1» (у біполярному поданні – між «–1» та «+1») з регульованими вхідним сигналом ймовірностями перебування в кожному стані [5]. Його можна розглядати як проміжну позицію між детермінованим бітом та квантовим кубітом; на відміну від більшості кубітів, p-біт функціонує при кімнатній температурі, оскільки його робота не вимагає кріогенного охолодження. У свою чергу, на відміну від детермінованого біта, p-біт є стохастичним елементом, ймовірність якого залежить від вхідного сигналу, що робить його гнучким для реалізації обернених логічних операцій, стохастичного моделювання та інших завдань, де корисна керована випадковість; водночас він значно простіший у фізичній реалізації та доступніший порівняно з кубітом [6]. У літературі p-біт часто описується як «*poor man's qubit*», тобто спрощений класичний аналог кубіта [6].

P-біти можуть реалізовуватися, зокрема, за допомогою магнітних тунельних контактів (MTJ), термально нестабільних наномагнітів або інших фізичних механізмів, де вхідний сигнал змінює статистику переходів між станами [7].

Фізичні реалізації p-бітів

Стохастичні магнітно-тунельні структури (s-MTJ, superparamagnetic magnetic tunnel junctions) є однією з перспективних фізичних реалізацій p-бітів. У таких пристроях енергетичний бар'єр між двома магнітними станами знижений настільки, що теплові флуктуації (термальний шум) спричиняють випадкове переключення між низько- та високоомними станами, які відповідають логічним «0» та «1» [9]. Вихідний сигнал s-MTJ формує «телеграфний» випадковий потік із керованою середньою ймовірністю. Для реалізації p-біту s-MTJ зазвичай комбінують із підсилювальним МОП-транзистором (MOSFET), утворюючи тритермінальний (three-terminal) елемент із регульованою ймовірністю переключення. Така апаратна конструкція виконує функцію генератора випадкових чисел, генеруючи безперервний потік випадкових сигналів без потреби у складних числових алгоритмах [8]. Комп'ютерні моделі демонструють, що p-біт на основі s-MTJ вимагає приблизно трьох транзисторів та однієї MTJ-структури, тоді як цифрові псевдовипадкові генератори (наприклад, лінійно-зсувні регістри з зворотним зв'язком, LFSR) використовують сотні чи тисячі транзисторів [8]. Високий рівень випадковості p-бітів обумовлений термальним шумом у магнітному елементі [9].

Однією з переваг s-MTJ-рішень є їх компактність та енергоефективність. Аналіз показав, що масштабування масивів s-MTJ дозволяє у 100 разів збільшити кількість паралельних p-бітів (Np – number of parallel p-bits) при заданій площі та потужності [8]. Зростання частоти роботи ядра (fc – core frequency) та кількості бітів може дати приріст продуктивності в 2–3 порядки порівняно з існуючими прототипами [8]. Прикладом гібридного підходу є використання сегнетоелектричних матеріалів і 2D-транзисторів, таких як MoS_2, для комбінування магнітного стану з транзисторною логікою [8]. Зокрема, дослідники з Тохокського університету продемонстрували, що p-біти на основі s-MTJ успішно працюють у комбінації з ПЛІС (FPGA), що дозволяє масштабувати мережі p-бітів до більшої кількості, ніж раніше [10]. Наразі такі «s-MTJ + CMOS» системи існують як прототипи з дискретних компонентів (s-MTJ + FPGA) [10], а перспективи інтеграції у MRAM-сумісні технології активно обговорюються у науковій літературі.

Резистивна пам'ять (RRAM, resistive random-access memory) та мемристори: одним із перспективних напрямків є використання нових елементів пам'яті зі стохастичними властивостями. Зокрема, структури RRAM чи дифузійні мемристори за своєю природою демонструють флуктуації при прикладанні напруги. У RRAM випадковий компонент сигналу зумовлений тепловими флуктуаціями та випадковим телеграфним шумом (RTN, Random Telegraph Noise) – специфічним видом шуму, спричиненого рухом провідних філаментів або перебуванням зарядів у локальних пастках [11]. Через це у сучасних дослідженнях RRAM застосовується як основа для генераторів випадкових чисел (TRNG). Наприклад, пристрій RRAM, виготовлений із техпроцесом 28 нм, демонструє флуктуації струму на рівні мікроампер, що достатньо для формування надійного випадкового біта [11]. Сигнали з RRAM подаються на компаратори, які генерують випадкові «0» і «1», причому якість випадковості підтверджена проходженням стандартних NIST-тестів на обсязі близько 10 млн біт [11].

Використання RRAM як TRNG має низку переваг: компактність, низьке енергоспоживання [11], а також значно меншу потребу у транзисторах порівняно з класичними лінійно-зсувними регістрами зі зворотним зв'язком (LFSR). За експериментальними даними, RRAM-генератор потребує приблизно у 100 разів менше транзисторів, ніж LFSR-генератор [11], що забезпечує суттєву економію апаратних ресурсів при побудові p-бітів. Водночас дефекти та варіації параметрів у RRAM вимагають особливої уваги, оскільки необхідно компенсувати неоднорідність елементів у великих мережах p-бітів [11].

Як приклад успішної реалізації p-біту на основі мемристора можна навести схему з дифузійним $Cu_{0.1}Te_{0.9}/HfO_2/Pt$ мемристором [9]. У цій структурі металева провідна нитка, нестабільна при кімнатній температурі, автономно формує нестабільні стани. Woo та співавтори продемонстрували, що ці стани можна використовувати як p-біти для реалізації всіх 16 булевих операцій у p-логіці [9]. Таким чином, мемристорні p-біти поєднують властивість генерації випадкових сигналів з можливістю компактної просторової інтеграції логіки.

У цьому контексті варто відзначити нещодавній огляд Shao та співавторів [12], у якому показано, що спінтронні мемристори (зокрема на базі MTJ, доменних стінок, топологічних текстур і спінових хвиль) можуть забезпечувати стабільні, осциляторні, стохастичні та навіть хаотичні динаміки – особливо релевантні для реалізації p-бітів як природних стохастичних елементів. Цей підхід поєднує високу швидкість, низьке енергоспоживання та масштабованість, що робить спінтронні мемристори перспективною платформою для апаратних p-бітових систем.

CMOS-реалізації (псевдовипадкові генератори): Найпростіші p-біти реалізуються на основі цифрової електроніки, зокрема шляхом поєднання псевдовипадкових генераторів і порогових елементів. Найпоширеніший підхід – використання лінійного регістру зсуву (LFSR) разом із таблицею переходів (LUT), що генерує довгу періодичну послідовність, яка апріорі не є абсолютно випадковою. Проте період LFSR часто значно перевищує час роботи системи, що дозволяє розглядати вихідний сигнал як практично випадковий [8]. Головним недоліком таких цифрових рішень є значна апаратна складність: згідно з Kaiser & Datta [8], типовий p-біт на CMOS-платформі потребує приблизно 1000 транзисторів (наприклад, 32-бітний LFSR містить близько 1200 транзисторів). Використання більш складних алгоритмів генерації випадкових чисел (наприклад, Xorshift+) ще більше ускладнює схему. Водночас цифрові реалізації забезпечують гнучкість і можливість тонкого налаштування статистичних характеристик сигналу.

На практиці p-біти часто емулюють за допомогою мікроконтролерів або ПЛІС (FPGA). У роботі Pervaiz та співавторів було продемонстровано побудову 4-розрядного суматора з 48 p-бітами, емульованими на окремих мікроконтролерах Arduino Pro Mini [13]. Сучасні підходи поєднують апаратні джерела випадковості (наприклад, s-MTJ або RRAM) із цифровою логікою для обчислення ваг та нелінійностей. Водночас, якщо випадкові числа генеруються виключно програмно (наприклад, на мікроконтролері), то з погляду ресурсів доцільніше застосовувати фізичні генератори.

Особливості генерації стохастичних сигналів. Усі реалізації p-бітів ґрунтуються на формуванні випадкових двійкових сигналів із керованою ймовірністю. У фізичних p-бітах джерелом нерегулярності зазвичай виступає тепловий шум або інші непередбачувані флуктуації. Наприклад, у s-MTJ чергування станів «0» та «1» відбувається завдяки термальним флуктуаціям магнітного стану [9], а у RRAM випадковість зумовлена випадковим телеграфним шумом (RTN) та локальними бар'єрами провідності [11]. У цифрових схемах «випадковий» біт формують за допомогою нестабільних елементів – наприклад, генератора на базі кільцевого осцилятора з шумом фази або метастабільного тригера. Такі рішення потребують аналого-цифрових перетворювачів і ретельного калібрування (загальновідомо, без прямого посилання). На відміну від них, фізичні p-біти (зокрема на основі s-MTJ або мемристорів) самі є джерелом ентропії, а їхня ключова перевага полягає у відсутності повторюваного періоду (справжнє апаратне RNG) [10, 11], хоча характеристики значною мірою залежать від використовуваних матеріалів.

Апаратна реалізація та прототипи цифрових P-бітових копроцесорів

Цифровий квантовий копроцесор – це FPGA-реалізований копроцесор, що складається з множини цифрових кубітів (digital qubits). Внутрішній стан кожного кубіта описується багатобітним бінарним кодом θ, а вимірюваний вихід є одним бітом (0 або 1). Стохастичний характер виходу формується за допомогою генератора псевдовипадкових чисел (PRNG) [14].

У статті розглянуто три архітектурні варіанти цифрових квантових копроцесорів. Перший – гетерогенний, де кожна квантова комірка має власний окремий PRNG і функціональний трансформер. Другий – гомогенний, який використано у дослідженні: кожна комірка містить однакову реалізацію PRNG, але має власний трансформер. Третій варіант – гомогенний з одним PRNG, коли всі комірки спільно використовують один PRNG і один трансформер.

При моделюванні 32-кубітного квантового перетворення Фур'є (QFT) показано, що гомогенна архітектура при трьохбітовому кодуванні стану забезпечувала приблизно у 7 разів вищу ймовірність правильного результату, ніж гетерогенна [14].

Структурно кожен цифровий кубіт реалізовано як ланцюг цифрових квантових комірок. Кожна комірка містить цифровий арифметико-логічний блок (ALU – Arithmetic Logic Unit), блок вимірювання (компаратор), регістр конвеєра, функціональний трансформер та PRNG [14].

Для реалізації таких систем використано розроблений генератор VHDL-описів IP-ядер (Intellectual Property core) цифрових кубітів, у якому задаються параметри: кількість кубітів, розрядність коду стану та розрядність PRNG. Згенеровані ядра синтезуються у середовищі Xilinx Vivado під конкретну платформу

FPGA. Як апаратну платформу використано плату Digilent ZedBoard на базі SoC Xilinx Zynq-7000, на якій здійснено прототипування 32-кубітного цифрового квантового копроцесора [14].

Параметри моделювання і вплив довжини коду стану θ досліджувалися на прикладі 32-кубітного QFT. При початковому стані $|XXX..X0\rangle$ було проведено експерименти з різною розрядністю коду θ. Результати показали: при трьохбітовому кодуванні гомогенний копроцесор був приблизно у 7 разів точнішим за гетерогенний, тоді як при зменшенні коду до 2 біт точність гетерогенної архітектури ставала порівнянною з гомогенною. Для статистичної оцінки ймовірностей проводили багаторазові вимірювання – зокрема, 4096 повторень для кожної конфігурації [14].

ВИСНОВКИ З ДАНОГО ДОСЛІДЖЕННЯ І ПЕРСПЕКТИВИ ПОДАЛЬШИХ РОЗВІДОК У ДАНОМУ НАПРЯМІ

У статті систематизовано сучасні підходи до фізичної та апаратної реалізації p-бітів – стохастичних елементів, що є перспективною базою для ймовірнісних обчислень. Розглянуто основні технології, зокрема s-MTJ, мемристори, RRAM, CMOS та FPGA, їхні переваги, обмеження й особливості інтеграції в апаратні системи. Показано, що p-біти забезпечують унікальну комбінацію енергоефективності, компактності та гнучкості, що відкриває нові можливості для стохастичного моделювання, оптимізації та обернених обчислень.

Перспективними напрямками подальших досліджень є розвиток масштабованих архітектур p-схем, покращення стабільності та надійності фізичних реалізацій, а також інтеграція з сучасними технологіями MRAM і FPGA. Особлива увага має приділятись розробці нових матеріалів і схем, що здатні підвищити швидкодію та знизити енергоспоживання систем. Подальше вивчення алгоритмічних можливостей p-бітів, зокрема в контексті гібридних класичних і квантових обчислень, може суттєво розширити сферу їх застосування.

Таким чином, p-біти є перспективним напрямом, що поєднує фундаментальні наукові виклики та практичні застосування в апаратному забезпеченні майбутніх обчислювальних систем.

Література

1. Chowdhury, S., Grimaldi, A., Aadit, N. A., Niazi, S., Mohseni, M., Kanai, S., Ohno, H., Fukami, S., Theogarajan, L., Finocchio, G., Datta, S., & Camsari, K. Y. (2023). A full-stack view of probabilistic computing with p-bits: Devices, architectures, and algorithms. *IEEE Journal on Exploratory Solid-State Computational Devices and Circuits*, 9(1), 1–11. https://doi.org/10.1109/JXCDC.2023.3256981
2. Camsari, K. Y. (2024). Probabilistic computing with p-bits: Optimization, machine learning and quantum simulation. *Proceedings of the 2024 IEEE International Magnetic Conference – Short Papers (INTERMAG Short Papers)*, 1–2. https://doi.org/10.1109/INTERMAGShortPapers61879.2024.10576747
3. Daniel, J., Sun, Z., Zhang, X., et al. (2024). Experimental demonstration of an on-chip p-bit core based on stochastic magnetic tunnel junctions and 2D MoS_2 transistors. *Nature Communications*, 15, 4098. https://doi.org/10.1038/s41467-024-48152-0
4. Soh, K., Kim, J. E., Chun, S. Y., & Yoon, J. H. (2025). Calibration of p-bit for aligned stochastic outputs in probabilistic computing. *Materials Science and Engineering: B*, 317, 118146. https://doi.org/10.1016/j.mseb.2025.118146
5. Camsari, K. Y., Salahuddin, S., & Datta, S. (2017). Implementing p-bits with embedded MTJ. *IEEE Electron Device Letters*, 38(12), 1767–1770. https://doi.org/10.1109/LED.2017.2768321
6. Camsari, K. Y., Sutton, B. M., & Datta, S. (2019). p-bits for probabilistic spin logic. *Applied Physics Reviews*, 6(1), 011305. https://doi.org/10.1063/1.5055860
7. Camsari, K. Y., Faria, R., Sutton, B. M., & Datta, S. (2017). Stochastic p-bits for invertible logic. *Physical Review X*, 7(3), 031014. https://doi.org/10.1103/PhysRevX.7.031014
8. Kaiser, J., & Datta, S. (2021). Probabilistic computing with p-bits. *Applied Physics Letters*, 119(15), 150503. https://doi.org/10.1063/5.0067927
9. Woo, K. S., Kim, J., Han, J., et al. (2022). Probabilistic computing using Cu0.1Te0.9/HfO2/Pt diffusive memristors. *Nature Communications*, 13, 5762. https://doi.org/10.1038/s41467-022-33455-x
10. Grimaldi, A., Selcuk, K., Aadit, N. A., Kobayashi, K., Cao, Q., Chowdhury, S., Finocchio, G., Kanai, S., Ohno, H., Fukami, S., & Camsari, K. Y. (2022). Experimental evaluation of simulated quantum annealing with MTJ-augmented p-bits. *Proceedings of the 68th Annual IEEE International Electron Devices Meeting (IEDM)*, 22.4.1–22.4.4. https://doi.org/10.1109/IEDM45625.2022.10019530
11. Liu, Y., Hu, Q., Wu, Q., Liu, X., Zhao, Y., Zhang, D., Han, Z., Cheng, J., Ding, Q., Han, Y., et al. (2022). Probabilistic circuit implementation based on p-bits using the intrinsic random property of RRAM and p-bit multiplexing strategy. *Micromachines*, 13(6), 924. https://doi.org/10.3390/mi13060924
12. Shao, Q., Wang, Z., Zhou, Y., Fukami, S., Querlioz, D., & Chua, L. O. (2025). Spintronic memristors for computing. *npj Spintronics*, 3(1), 16. https://doi.org/10.1038/s44306-025-00078-z

13. Pervaiz, A. Z., Ghantasala, L. A., Camsari, K. Y., et al. (2017). Hardware emulation of stochastic p-bits for invertible logic. *Scientific Reports*, 7, 10994. https://doi.org/10.1038/s41598-017-11011-8

14. Hlukhov, V. (2021). Digital qubits for FPGA-based homogenous quantum coprocessor. *Proceedings of the 11th IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications (IDAACS 2021)*, 1, 318–322.

References

1. Chowdhury, S., Grimaldi, A., Aadit, N. A., Niazi, S., Mohseni, M., Kanai, S., Ohno, H., Fukami, S., Theogarajan, L., Finocchio, G., Datta, S., & Camsari, K. Y. (2023). A full-stack view of probabilistic computing with p-bits: Devices, architectures, and algorithms. *IEEE Journal on Exploratory Solid-State Computational Devices and Circuits*, 9(1), 1–11. https://doi.org/10.1109/JXCDC.2023.3256981

2. Camsari, K. Y. (2024). Probabilistic computing with p-bits: Optimization, machine learning and quantum simulation. *Proceedings of the 2024 IEEE International Magnetic Conference – Short Papers (INTERMAG Short Papers)*, 1–2. https://doi.org/10.1109/INTERMAGShortPapers61879.2024.10576747

3. Daniel, J., Sun, Z., Zhang, X., et al. (2024). Experimental demonstration of an on-chip p-bit core based on stochastic magnetic tunnel junctions and 2D MoS_2 transistors. *Nature Communications*, 15, 4098. https://doi.org/10.1038/s41467-024-48152-0

4. Soh, K., Kim, J. E., Chun, S. Y., & Yoon, J. H. (2025). Calibration of p-bit for aligned stochastic outputs in probabilistic computing. *Materials Science and Engineering: B*, 317, 118146. https://doi.org/10.1016/j.mseb.2025.118146

5. Camsari, K. Y., Salahuddin, S., & Datta, S. (2017). Implementing p-bits with embedded MTJ. *IEEE Electron Device Letters*, 38(12), 1767–1770. https://doi.org/10.1109/LED.2017.2768321

6. Camsari, K. Y., Sutton, B. M., & Datta, S. (2019). p-bits for probabilistic spin logic. *Applied Physics Reviews*, 6(1), 011305. https://doi.org/10.1063/1.5055860

7. Camsari, K. Y., Faria, R., Sutton, B. M., & Datta, S. (2017). Stochastic p-bits for invertible logic. *Physical Review X*, 7(3), 031014. https://doi.org/10.1103/PhysRevX.7.031014

8. Kaiser, J., & Datta, S. (2021). Probabilistic computing with p-bits. *Applied Physics Letters*, 119(15), 150503. https://doi.org/10.1063/5.0067927

9. Woo, K. S., Kim, J., Han, J., et al. (2022). Probabilistic computing using Cu0.1Te0.9/HfO2/Pt diffusive memristors. *Nature Communications*, 13, 5762. https://doi.org/10.1038/s41467-022-33455-x

10. Grimaldi, A., Selcuk, K., Aadit, N. A., Kobayashi, K., Cao, Q., Chowdhury, S., Finocchio, G., Kanai, S., Ohno, H., Fukami, S., & Camsari, K. Y. (2022). Experimental evaluation of simulated quantum annealing with MTJ-augmented p-bits. *Proceedings of the 68th Annual IEEE International Electron Devices Meeting (IEDM)*, 22.4.1–22.4.4. https://doi.org/10.1109/IEDM45625.2022.10019530

11. Liu, Y., Hu, Q., Wu, Q., Liu, X., Zhao, Y., Zhang, D., Han, Z., Cheng, J., Ding, Q., Han, Y., et al. (2022). Probabilistic circuit implementation based on p-bits using the intrinsic random property of RRAM and p-bit multiplexing strategy. *Micromachines*, 13(6), 924. https://doi.org/10.3390/mi13060924

12. Shao, Q., Wang, Z., Zhou, Y., Fukami, S., Querlioz, D., & Chua, L. O. (2025). Spintronic memristors for computing. *npj Spintronics*, 3(1), 16. https://doi.org/10.1038/s44306-025-00078-z

13. Pervaiz, A. Z., Ghantasala, L. A., Camsari, K. Y., et al. (2017). Hardware emulation of stochastic p-bits for invertible logic. *Scientific Reports*, 7, 10994. https://doi.org/10.1038/s41598-017-11011-8

14. Hlukhov, V. (2021). Digital qubits for FPGA-based homogenous quantum coprocessor. *Proceedings of the 11th IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications (IDAACS 2021)*, 1, 318–322.