

Олексій СТАХОВ

Вінницький національний технічний університет

<https://orcid.org/0000-0002-4901-3211>

## МЕТОДИ ПОБУДОВИ ВИСОКОПРОДУКТИВНИХ АЦП ІЗ ЗАСТОСУВАННЯМ СТРУКТУРНОЇ ТА ІНФОРМАЦІЙНОЇ НАДЛИШКОВІСТІ

У роботі наведено результати досліджень методів побудови високопродуктивних багаторозрядних ( $n \geq 12$  біт) АЦП із застосуванням структурної та інформаційної надлишковості на базі надлишкових позиційних систем числення (НПСЧ). Розглянуто застосування структурної надлишковості на прикладі двоступінчастого паралельно-последовного АЦП та наведено його структурну схему, проаналізовано принцип його дії, а також метод формування результату перетворення. Показано можливість збільшення розрядності таких АЦП шляхом нарощування числа ступенів пристрою.

Ключові слова: продуктивність, аналого-цифрове перетворення, структурна та інформаційна надлишковість, АЦП порозрядно-слідкувального врівноваження.

Olexiy STAKHOV

Vinnitsia National Technical University

## METHODS OF BUILDING HIGH-PERFORMANCE ADC USING STRUCTURAL AND INFORMATION REDUNDANCY

The paper presents the results of research on methods of building high-performance multi-bit ( $n \geq 12$  bits) ADCs using structural and informational redundancy based on redundant positional computing systems (RPCS).

The application of structural redundancy is considered on the example of a two-stage parallel-serial ADC. The structural diagram of such an ADC is presented and the principle of its operation, as well as the method of forming the conversion result, are analyzed. The possibility of increasing the bit rate of such ADCs by increasing the number of stages of the device is shown. It was stated that the use of the principle of information redundancy allows to significantly increase the performance of the ADC. It is proposed to significantly increase speed, and, accordingly, productivity, to use a higher level of redundancy, in particular, a calculation system of the "golden" ratio type ( $\phi = 1.62$ ), which allows to increase speed, compared to the binary analogue, by 5–8 times. Options for building such ADCs with weight redundancy based on the counting system with bit coefficients  $[0, 1]$  and  $[-1, 1]$  are given and analyzed. The functioning of such devices is considered. It is indicated that for a further level of productivity, it is expedient to use both informational and combined structural methods, in particular, in the ADC of bit-by-bit tracking balancing with weight redundancy. The peculiarity of such a device is that after entering the monitoring mode, the source code is formed in only one cycle, that is, the performance of the proposed ADC approaches the reading ADC and, even more, due to the increase in the number of digits of the conversion results. The structural diagram of the ADC of bit-by-bit tracking balancing with weight redundancy, the balancing diagram, as well as the graph-scheme of the functioning algorithm are given.

Key words: performance, analog-digital conversion, structural and informational redundancy, bit-by-bit sequential balancing ADC.

### Постановка проблеми у загальному вигляді та її зв'язок із важливими науковими чи практичними завданнями

Базовими параметрами, що визначають продуктивність АЦП і ЦАП (перетворювачів форми інформації – ПФІ) є число розрядів та кількість перетворень за визначений інтервал часу. Продуктивність, у свою чергу, характеризується кількістю отриманих розрядів (бітів) за заданий час (секунду або мікрсекунду).

Безумовно, найвищу продуктивність має АЦП зчитування, оскільки в ньому вхідний сигнал  $A_{вх}$  перетворюється в код всього за один такт. При цьому слід зазначити, що розрядність такого АЦП є відносно невеликою (10–12 розрядів), а спроба збільшення їх кількості призводить до істотного нарощування обладнання та споживаної потужності. Таким чином, підвищення продуктивності АЦП доцільно вирішувати за умови мінімізації додаткових апаратних витрат. Особливо важливим є підвищення багаторозрядних АЦП ( $n \geq 12$  біт).

### Формулювання цілей статті

Метою роботи є підвищення продуктивності АЦП із застосуванням структурної та інформаційної надлишковості.

Завдання дослідження є такими:

- запропонувати метод структурно-функціональної організації двоступінчастого паралельно-последовного АЦП, а також принцип формування результату перетворення;
- розробити метод побудови високопродуктивного АЦП порозрядно-слідкувального врівноваження з ваговою надлишковістю.

### Аналіз досліджень та публікацій

Варто вказати, що проблемами підвищення продуктивності та швидкодії займалися представники українських наукових шкіл Кондалева А. І., Орнатського П. П., Швецького Б. Й., Туза Ю. М., Володарського Є.Т.

Питаннями покращення статичних і динамічних характеристик АЦП займалися відомі науковці США, а саме: Ф. Гудінаф, В. Кестер, З. Боєсиглер, С. Соклоф, М. Ризенман, Брубакер Д., Руді Дж. Ван Де Плаше та ін.

Разом із тим, питання підвищення продуктивності АЦП у системному плані не є достатньо опрацьованим, що і зумовлює актуальність обраної у даній статті теми досліджень.

### Структурно-функціональна організація двоступінчастого паралельно-послідовного АЦП

Варто відзначити, що підвищення швидкодії високорозрядних АЦП досягається двома шляхами. Перший орієнтується на використання досконалої елементної бази. Другий – пов'язаний із уведенням у пристрій, що проєктується, надлишковості, зокрема, структурної. Суть його відображається паралельно-послідовним принципом перетворення.

Структурну схему паралельно-послідовного АЦП зображено на рис. 1 [1].

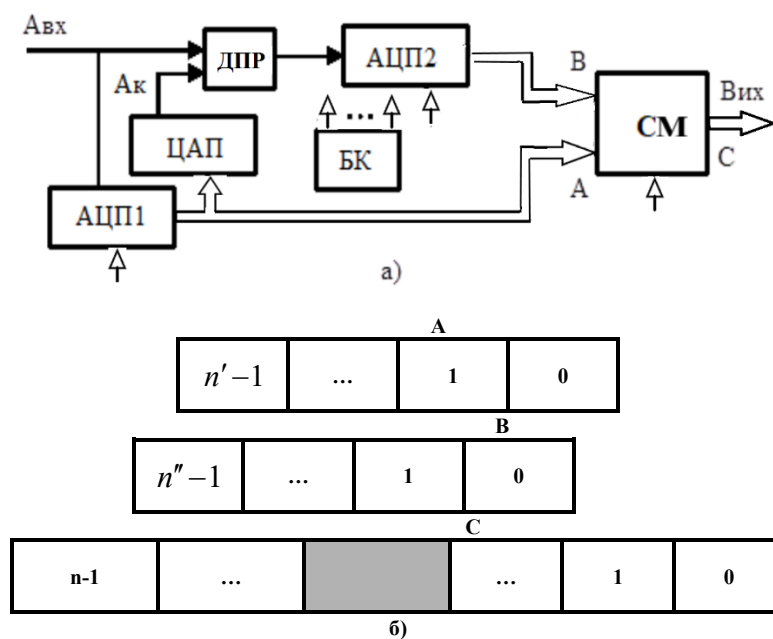


Рис. 1. Двоступінчастий паралельно-послідовний АЦП: а) – структурна схема; б) – метод формування результату

На рис. 1: АЦП1 – перетворювач аналог-код з розрядністю  $n'$ ; АЦП2 – з розрядністю  $n''$ ; ЦАП – високоточний перетворювач з розрядністю  $n'$ ; ДПР – диференціальний підсилювач різниці  $\Delta A = A_{\text{вх}} - A_k$ ; СМ – суматор; БК – блок керування, що забезпечує функціонування пристрою.

Принцип дії АЦП є таким. Вхідний сигнал  $A_{\text{вх}}$  на першому такті перетворюється в код А в АЦП1 (першого ступеня). Різниця сигналів  $\Delta A$  на другому такті підсилюється ДП і надходить на вхід АЦП2 (другого ступеня), на виході якого формується код В. Коди А та В подаються на вхід СМ, на виході якого з'являється сума  $C := A + B$ . У такий спосіб результат перетворення  $A_{\text{вх}}$ , формується за два такти у вигляді коду С як сума кодів А (старші розряди) і В (молодші розряди).

Варто відзначити, що безпосереднім стикуванням вихідних кодів не можна одержати точність, що відповідає  $n = n' + n''$ -розрядам. Це пов'язано з тим, що  $\Delta A$  складається не тільки із залишку невірної частини  $A_{\text{вх}}$ , але і похибки, що виникають через неідеальність АЦП1 і ДП. Тому для формування правильного результату (рис. 1, б) застосовується метод перекриття шкал [1]. Для корекції ЦАП, статична похибка якого повинна відповідати  $n$ -розрядному перетворенню, може застосовуватися допоміжний ЦАП і ПЗП з таблицею поправок [2], а також ОЗП і мікропроцесор [2]. Паралельно-послідовний принцип використовується при 12-14 розрядному аналого-цифровому кодуванні з частотою відліків 1–20 мГц. Недолік його полягає в ускладненні схеми аналогової частини, значних апаратних витратах, високому енергоспоживанні і низькій завадостійкості. Певним компромісом у цьому плані можуть слугувати структури паралельно-послідовних АЦП із числом ступенів врівноваження більше двох, розроблені у роботах [1–3].

## АЦП порозрядного врівноваження підвищеної швидкодії з інформаційною (ваговою) надлишковістю

Наприкінці 70-х і у 80-х роках для підвищення швидкодії при порозрядному аналого-цифровому перетворенні починають застосовуватися надлишкові позиційні системи числення. Першим серійним виробом, що використовує цей підхід, був 14-розрядний АЦП ICL 7115 фірми Intersil [4]. Структурну схему такого пристрою, виготовленого за КМОН- технології, наведено на рис. 2.

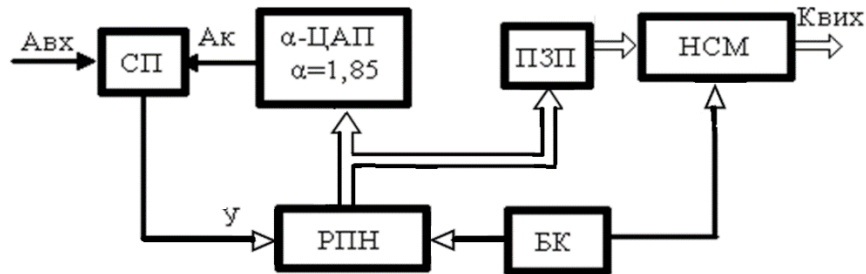


Рис. 2. Структурна схема швидкодіючого програмно-каліброваного АЦП ICL 7115

На рис. 2: СП – схема порівняння, РПН – регістр послідовного наближення, НСМ – нагромаджуючий суматор, БК – блок керування. Особливістю такого програмно-каліброваного АЦП є застосування надлишкового (відносно двійкового) 17-розрядного ЦАП з відношенням ваг  $\alpha=1,85$ . Це дозволило здійснювати автоматичну компенсацію динамічних похибок, що виникають у процесі врівноваження, і досягти часу перетворення  $\leq 40$  мкс.

Діапазон перетворення ICL 7115 на 18% більше, ніж для двійкового при значно меншій точності виготовлення резисторів ЦАП. Відхилення ваг розрядів від ідеальних значень визначаються після виготовлення кристалу і штучного його старіння, а потім у вигляді двійкових еквівалентів заносяться в ПЗП. Вихідний 14-розрядний двійковий код  $K_{вих}$  по мірі врівноваження послідовно формується в НСМ. Цифровий еквівалент вхідного коду  $K_{вих}$  відображає компенсуючу величину  $A_k$ , значення якої пропорційне:

$$K_{вих} = \sum a_i K_i,$$

де  $a_i \in \{0,1\}$  – двійковий коефіцієнт  $i$ -го розряду надлишкового ЦАП;

$K_i$  – цифровий двійковий еквівалент реальної ваги  $i$ -го -розряду.

Проте виграш по швидкодії, що досягається в цьому випадку, є невисоким (біля двох разів) унаслідок низького рівня надлишковості, що вводиться. Крім того, програмне калібрування ваг розрядів, коди яких занесено в ПЗП, є неефективним під час змінення умов зовнішнього середовища, оскільки це призводить до зміни ваг розрядів.

У роботах [1, 3, 5] запропоновано високоточні самокалібровані швидкодіючі АЦП на основі НПСЧ. Показано, що «повільнодіючі» самокалібровані АЦП на основі НПСЧ [3, 6, 7] можна перетворити на «швидкодіючі» шляхом незначного ускладнення цифрової частини.

Структурна схема швидкодіючого самокаліброваного АЦП на основі знакорозрядної НПСЧ, що наведена на рис. 3 [1].

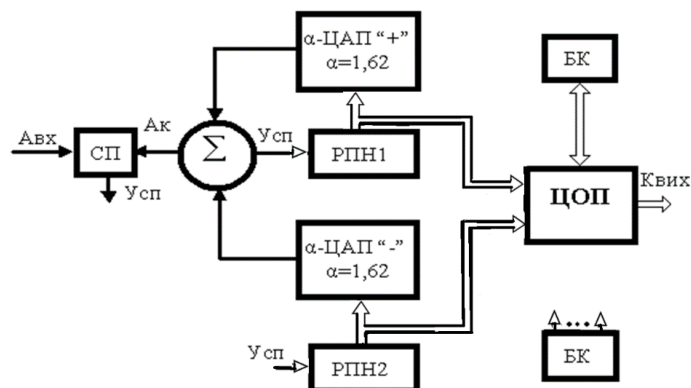


Рис. 3. Структурна схема швидкодіючого самокаліброваного АЦП на основі НПСЧ (1, -1)

Цей АЦП містить два цифроаналогові перетворювачі: додатний (ЦАП «+») і від'ємний (ЦАП «-»); регістри послідовного наближення РПН1 та РПН2, суматор аналогових сигналів ( $\Sigma$ ), цифровий

обчислювальний пристрій (ЦОП), блок пам'яті (БП), схему порівняння (СП) і блок керування (БК). АЦП працює в двох режимах: самокалібрування й основного перетворення. В процесі самокалібрування визначаються коди реальних ваг розрядів ЦАП «+», ЦАП «-» і  $\Delta A_{зм}$ , що фіксуються в БП. У режимі основного перетворення прискорене аналого-цифрове врівноваження здійснюється за рахунок автокомпенсації динамічних похибок. При цьому мінімальна припустима тривалість такту перетворення визначається рівнем надлишковості використовуваної НПСЧ. У розроблених пристроях відношення ваг розрядів НПСЧ  $\alpha \approx 1,62$  (золота пропорція), що дозволяє підвищити швидкодію в порівнянні з двійковим АЦП у 5-8 разів.

Структурна схема швидкодіючого самокаліброваного АЦП на основі НПСЧ (0,1), яку наведено на рис. 4, містить [1]: аналоговий комутатор (АК), блок допоміжних сигналів (БДС), блок елементів АБО, регістр зсуву та ін.

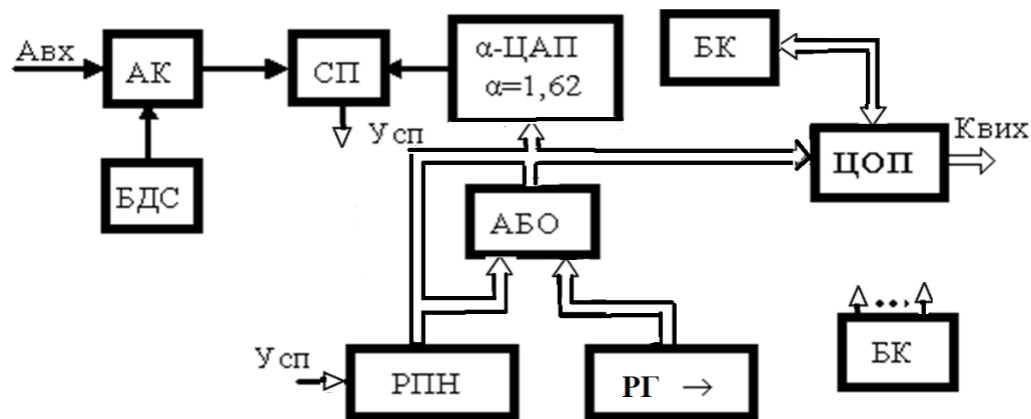


Рис. 4. Структурна схема швидкодіючого самокаліброваного АЦП на основі НПСЧ (0, 1)

У режимі самокалібрування визначаються коди реальних ваг розрядів  $\alpha$ -ЦАП і  $\Delta A_{зм}$ . Причому значення додаткових аналогових сигналів, що формуються БДС, можуть задаватися з низькою точністю. Прискорене врівноважування здійснюється з використанням на кожному  $i$ -му такті аналогових сигналів, що форсують і генеруються молодшими ( $i < l$ ) розрядами ЦАП. В разі перетворення вимірювальних сигналів у схеми вводиться прецизійне джерело опорної напруги (струму), за допомогою якого коригується масштабний коефіцієнт  $M$ .

Слід зазначити, що введення інформаційної надлишковості у формі НПСЧ, дозволяє організувати процедуру самокалібрування і компенсації динамічних похибок ваг розрядів АЦП і використовувати ці принципи для побудови високоточних швидкодіючих перетворювачів аналог-код, точносні характеристики яких не погіршуються під час зміння умов зовнішнього середовища і функціонуванні протягом тривалих проміжків часу [1].

#### Метод високопродуктивного ацп порозрядно-слідкувального врівноваження з ваговою надлишковістю

За методом високопродуктивного АЦП порозрядного перетворення організації перетворення під час кодування аналогового сигналу спочатку встановлюється режим порозрядного врівноваження, що є необхідним для прискореного виходу в режим слідкувального врівноваження [8, 9]. Далі встановлюється режим слідкувального врівноваження, за якого застосовується швидкодіючий лічильник. У випадку суттєвого зміння аналогового сигналу  $Авх$  знову здійснюється короткочасний перехід до порозрядного врівноважування, після чого встановлюється слідкувальний режим. Залежно від режиму перетворення порізнному формується вихідний код  $Квих$ . У режимі порозрядного врівноваження він дорівнює коду в регістрі порозрядного наближення  $Квих = Кр$ . Під час слідкувального врівноваження код на виході АЦП визначається станом швидкодіючого лічильника  $Квих = Кл$ . На рис. 5 до структури АЦП входять: БК – блок керування, БВР – блок визначення різниці аналогових сигналів, ЦАП у СЧВН, СЧВН-АЦПзч – АЦП зчитування у СЧВН на два розряди, РПН – регістр послідовного наближення, СЧВН-РЛіч – реверсивний лічильник у СЧВН, цифровий комутатор ЦК та вихідний регістр  $Рв$  [10, 11].

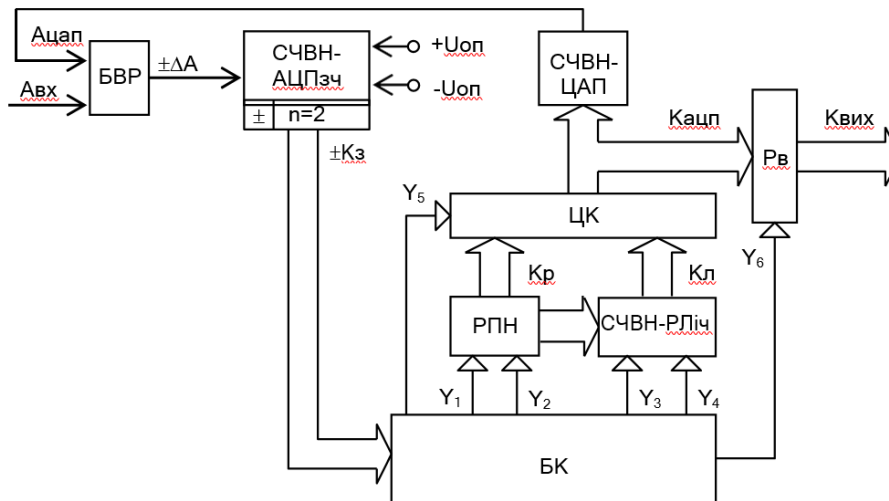


Рис. 5. Структурна організація порозрядно-слідкувального АЦП у СЧВН

На рис. 6 показано послідовність зміни режимів порозрядно-слідкувального АЦП у процесі кодування аналогового сигналу, що може зазнавати різних змін амплітуди [11].

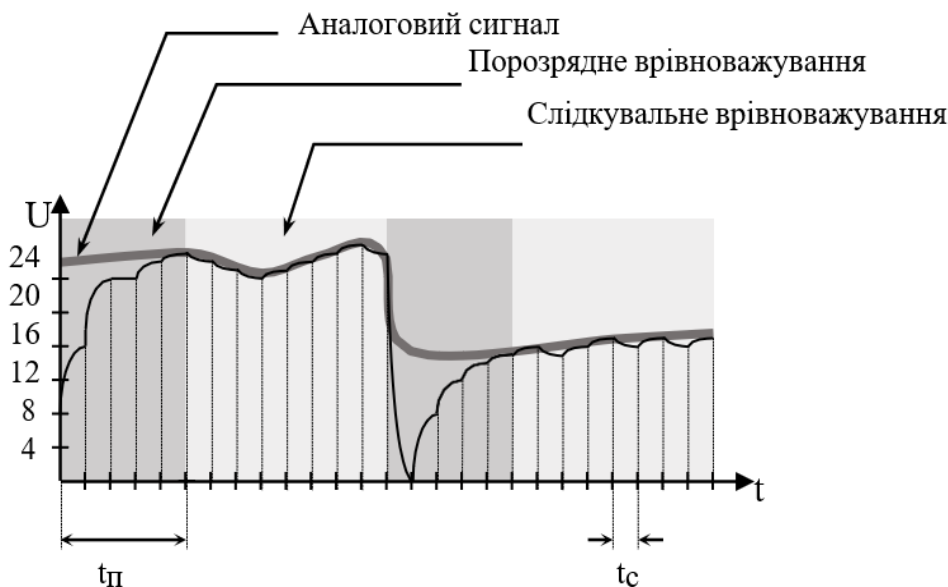


Рис. 6. Графік 5-розрядного порозрядно-слідкувального АЦ-перетворення

Якщо відбувається перехід з режиму порозрядного наближення у слідкувальний режим, то код регістра послідовного наближення переписується у реверсивний лічильник. Отже, режим порозрядного врівноваження фактично слугує для швидкого виходу на режим слідкувального перетворення (рис. 5).

Розглянемо основні аспекти роботи запропонованого порозрядно-слідкувального АЦП на основі СЧВН. При поданні на вхід АЦП аналогового сигналу  $A_{вх}$  він поступає на вхід блока визначення різниці. БВР встановлює на своєму виході аналоговий сигнал  $\pm \Delta A$ , який дорівнює різниці аналогових сигналів  $A_{вх}$  і  $A_{цап}$ . СЧВН-ЦАП призначений для перетворення у аналоговий сигнал  $A_{цап}$  коду, який поступає з виходу цифрового комутатора. БК отримує з СЧВН-АЦПзч код  $\pm K_z$  сигналу  $\pm \Delta A$  і встановлює на своєму виході керуючі сигнали  $Y_1$ - $Y_5$ . РПН встановлює СЧВН-код  $K_p$  амплітуди аналогового сигналу  $A_{вх}$  у режимі послідовного наближення. СЧВН-РЛіч формує СЧВН-код  $K_l$  амплітуди аналогового сигналу  $A_{вх}$  у слідкувальному режимі. ЦК перемикає на свій вихід  $K_p$  або  $K_l$  і формує вихідний код  $K_{вих}$ , який поступає на вхід Рв. Блок-схему роботи блока керування представлено на рис. 7.

Розглянемо процес роботи порозрядно-слідкувального АЦП, схему якого зображено на рис. 7 [9, 11].

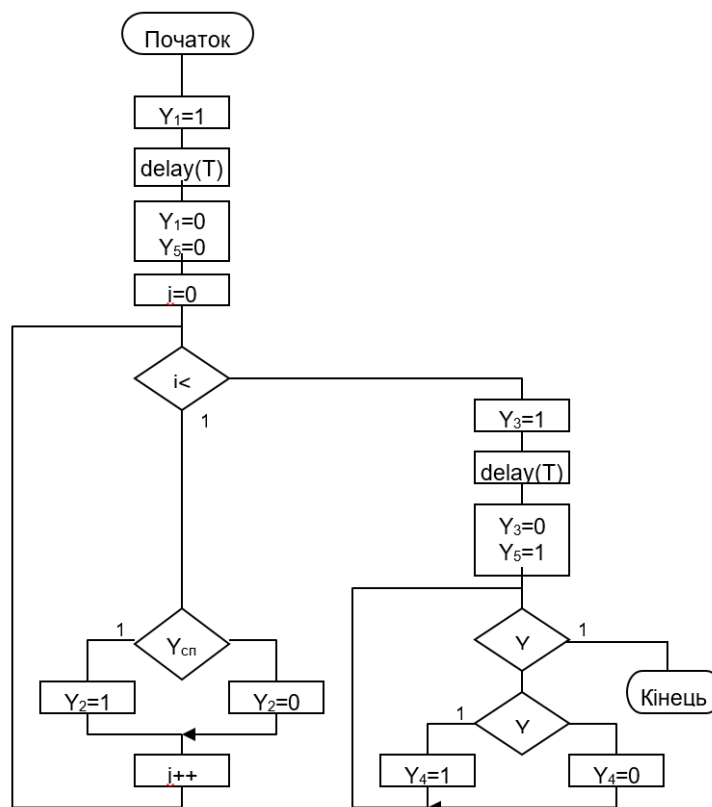


Рис. 7. Блок-схема алгоритму функціонування БК

БК генерує керуючі сигнали. Одразу після вмикання АЦП він генерує сигнал  $Y_1$ , який встановлює у нуль розряди регістра послідовного наближення. Після цього ним генерується керуючий сигнал  $Y_5$ , який поступає на вхід ЦК і переводить його у режим комутації на свій вихід коду  $K_p$  з виходу РПН. РПН, починаючи зі старших, встановлює свої розряди в 0 або в 1 в залежності від керуючого сигналу  $Y_2$ , який формується блоком керування і залежить від коду  $\pm K_z$ , що надходить з виходу СЧВН-АЦПз. Після завершення циклу послідовного перетворення АЦП переходить у режим слідкувального перетворення. При цьому за допомогою керуючого сигналу  $Y_3$  відбувається запис коду з виходу РПН у СЧВН-РЛіч. Одночасно керуючий сигнал  $Y_5$  встановлюється в одиничне значення і перемикає ЦК у режим комутації коду з виходу СЧВН-РЛіч на вхід СЧВН-ЦАП і на вхід Рв. Тобто, у режимі слідкувального врівноваження  $K_{вих} = K_{л}$ . Якщо у цьому режимі амплітуда вхідного сигналу  $Av_x$  значно змінюється, то БК знову переходить у режим порозрядного врівноваження.

Таким чином, у запропонованому АЦП встановлення режиму порозрядного врівноваження на початку роботи і у випадку значної зміни амплітуди вхідного сигналу дозволяє набагато швидше виходити наслідкувальний режим. Якщо у цих випадках використовувати лічильник, то для виходу на слідкувальний режим потрібно буде приблизно  $\alpha^n$  тактів (де  $\alpha$  – це співвідношення між вагами сусідніх розрядів системи числення з ваговою надлишковістю,  $n$  – розрядність аналого-цифрового перетворювача). Введення режиму порозрядного врівноваження дозволяє виходити на режим слідкувального врівноважування всього за  $n$  – тактів. У режимі послідовного перетворення використання СЧВН в АЦП дозволяє на порядок підвищити його швидкодію за рахунок компенсації динамічної похибки другого роду. Використання швидкодійного СЧВН-лічильника дозволяє підвищити швидкість слідкувального врівноваження приблизно в  $n$  разів порівняно із слідкувальним АЦП у класичній двійковій системі числення.

#### Висновки з даного дослідження і перспективи подальших розвідок у даному напрямі

У даній статті запропоновано методи підвищення продуктивності багаторозрядних АЦП, зокрема, метод структурно-функціональної організації двоступінчастого паралельно-послідовного АЦП, метод побудови високопродуктивного АЦП порозрядно-слідкувального врівноваження з ваговою надлишковістю.

Доведено, що метод порозрядно-слідкувального врівноваження дозволяє збільшити продуктивність кодування до  $n$ -біт на один такт, що наближається до продуктивності АЦП зчитування із значно меншими витратами додаткового обладнання.



### Література

1. Азаров О. Д. Аналого-цифрове порозрядне перетворення на основі надлишкових систем числення з ваговою надлишковістю: монографія / Азаров О. Д. – Вінниця : ВНТУ, 2010. – 231 с. ISBN 966-641-089-9.
2. Азаров, О. Д. Методи та засоби високоточного слідкувального аналогоцифрового перетворення з ваговою надлишковістю : монографія / О. Д. Азаров, О. В. Дудник. – Вінниця : ВНТУ, 2014. – 120 с. ISBN 978-966-641-580-9.
3. Азаров, О. Д. Швидкодіючі високоточні АЦП із перерозподілом заряду з ваговою надлишковістю, що самокалібруються : монографія / О. Д. Азаров, Н. О. Біліченко, С. М. Захарченко. – Вінниця : ВНТУ, 2016. – 140 с. ISBN 978-966-641-665-3.
4. Walt Kester Drive Circuitry is Critical to High-Speed Sampling ADCs / Walt Kester // Electronic Design Special Analog Issue. – 1994. – Nov. 7. – P. 43–50.
5. Преобразователи формы информации: современное состояние и перспективы развития / В. А. Багацкий, П. С. Клочан, В. А. Романов [та ін.] // Комп'ютерні засоби, мережі та системи. – 2003. – № 2. – С. 40–46.
6. Азаров, О. Д. Високоточні порозрядні АЦП із перерозподілом заряду з ваговою надлишковістю, що самокалібруються : монографія / О. Д. Азаров, Н. О. Біліченко, С. М. Захарченко. Вінниця : ВНТУ, 2016. 140 с.
7. Азаров О. Д., Богомолов С. В., Стахов О. Я. Багатоканальна швидкодіюча система АЦП-ЦАП на базі високоточних перетворювачів струм-струм. *Інформаційні технології та комп'ютерна інженерія*. Т. 53. № 1. 2021. С. 69-79. URL : <https://doi.org/10.31649/1999-9941-2021-50-1-69-79> (Дата звернення 29.07.22).
8. Alexey D. Azarov, Svitlana A. Kyrylashchik, Sergey V. Bogomolov, Oleksiy Y. Stakhov, Andrzej Kotyra, Orken Mamyrbayev. Selection of the calculus system base for ADC and DAC with weight redundancy. Proc. SPIE 11176, *Photonics Applications in Astronomy, Communications, Industry, and HighEnergy Physics Experiments 2019*, 1117662. P. 1117662.1 – 1117662.7. (6 November 2019); doi: 10.1117/12.2537197.
9. Olexiy D. Azarov, Sergii V. Pavlov, Olexandr I. Chernyak, Igor D. Ivasyuk, Waldemar Wójcik, Aigul Syzdykpayeva. Principles of fast count in modified Fibonacci numerical system. Proc. SPIE 10808, *Photonics Applications in Astronomy, Communications, Industry, and High-Energy Physics Experiments 2018*. 1080829. P.1080829.1 – 1080829.8 (1 October 2018); doi: 10.1117/12.2501565.
10. Азаров О., Черняк О., Туйчев В. Векторний метод локалізації помилок підвищеної ефективності. *Інформаційні технології та комп'ютерна інженерія*. № 2. 2021. С. 60-67. URL : <https://doi.org/10.31649/1999-9941-2021-51-2-60-67> (Дата звернення 29.07.22).
11. Азаров О. Д., Черняк О. І., Стахов О. Я. АЦП порозрядно-слідкувального врівноваження з ваговою надлишковістю. *Інформаційні технології та комп'ютерна інженерія*. 2020. Т.49. № 3. С. 37 – 44. <https://doi.org/10.31649/1999-9941-2020-49-3-37-44> (Дата звернення 29.07.22).

### References

1. Azarov O. D. Analogo-tsyfrovoe porozriadne peretvorennia na osnovi nadlyshkovykh system chyslennia z vahovoiu nadlyshkovistiui: monohrafiia / Azarov O. D. – Vinnytsia : VNTU, 2010. – 231 s. ISBN 966-641-089-9.
2. Azarov, O. D. Metody ta zasoby vysokotochnoho slidkuvalnoho analohotsyfrovoho peretvorennia z vahovoiu nadlyshkovistiui : monohrafiia / O. D. Azarov, O. V. Dudnyk. – Vinnytsia : VNTU, 2014. – 120 s. ISBN 978-966-641-580-9.
3. Azarov, O. D. Shvydkodiini vysokotochni ATsP iz pererozpodilom zariadu z vahovoiu nadlyshkovistiui, shcho samokalibriuiusia : monohrafiia / O. D. Azarov, N. O. Bilichenko, S. M. Zakharchenko. – Vinnytsia : VNTU, 2016. – 140 s. ISBN 978-966-641-665-3.
4. Walt Kester Drive Circuitry is Critical to High-Speed Sampling ADCs / Walt Kester // Electronic Design Special Analog Issue. – 1994. – Nov. 7. – P. 43–50.
5. Преобразователи формы информации: современное состояние и перспективы развития / В. А. Багацкий, П. С. Клочан, В. А. Романов [та ін.] // Комп'ютерні засоби, мережі та системи. – 2003. – № 2. – С. 40–46.
6. Azarov, O. D. Vysokoliniini porozriadni ATsP iz pererozpodilom zariadu z vahovoiu nadlyshkovistiui, shcho samokalibriuiusia : monohrafiia / O. D. Azarov, N. O. Bilichenko, S. M. Zakharchenko. Vinnytsia : VNTU, 2016. 140 s.
7. Azarov O. D., Bohomolov S. V., Stakhov O. Ya. Bahatokanalna shvydkodiucha systema ATsP-TsAP na bazi vysokoliniinykh peretvoriuvachiv strum-strum. Informatsiini tekhnologii ta kompiuterna inzheneriia. T. 53. № 1. 2021. S. 69-79. URL : <https://doi.org/10.31649/1999-9941-2021-50-1-69-79> (Data zvernennia 29.07.22).
8. Alexey D. Azarov, Svitlana A. Kyrylashchik, Sergey V. Bogomolov, Oleksiy Y. Stakhov, Andrzej Kotyra, Orken Mamyrbayev. Selection of the calculus system base for ADC and DAC with weight redundancy. Proc. SPIE 11176, *Photonics Applications in Astronomy, Communications, Industry, and HighEnergy Physics Experiments 2019*, 1117662. P. 1117662.1 – 1117662.7. (6 November 2019); doi: 10.1117/12.2537197.
9. Olexiy D. Azarov, Sergii V. Pavlov, Olexandr I. Chernyak, Igor D. Ivasyuk, Waldemar Wójcik, Aigul Syzdykpayeva. Principles of fast count in modified Fibonacci numerical system. Proc. SPIE 10808, *Photonics Applications in Astronomy, Communications, Industry, and High-Energy Physics Experiments 2018*. 1080829. P.1080829.1 – 1080829.8 (1 October 2018); doi: 10.1117/12.2501565.
10. Azarov O., Cherniak O., Tuichev V. Vektorny metod lokalizatsii pomylok pidvyshchenoi efektyvnosti. Informatsiini tekhnologii ta kompiuterna inzheneriia. № 2. 2021. S. 60-67. URL : <https://doi.org/10.31649/1999-9941-2021-51-2-60-67> (Data zvernennia 29.07.22).
11. Azarov O. D., Cherniak O. I., Stakhov O. Ya. ATsP porozriadno-slidkuvalnoho vrinovazhennia z vahovoiu nadlyshkovistiui. Informatsiini tekhnologii ta kompiuterna inzheneriia. 2020. T.49. № 3. S. 37 – 44. <https://doi.org/10.31649/1999-9941-2020-49-3-37-44> (Data zvernennia 29.07.22).