

<https://doi.org/10.31891/2219-9365-2023-75-18>

УДК 621.396.969.1

ПЯТИН Ілля

Хмельницький політехнічний фаховий коледж національного університету «Львівська політехніка»

<https://orcid.org/0000-0003-1898-6755>

e-mail: [ilkhmel@ukr.net](mailto:ilkhmel@ukr.net)

БОЙКО Юлій

Хмельницький національний університет

<https://orcid.org/0000-0003-0603-7827>

e-mail: [boiko\\_julius@ukr.net](mailto:boiko_julius@ukr.net)

ГАВРОНСЬКИЙ Віталій

Хмельницький політехнічний фаховий коледж національного університету «Львівська політехніка»

<https://orcid.org/0000-0002-1529-1272>

e-mail: [gavrinskiy@gmail.com](mailto:gavrinskiy@gmail.com)

ПАНАСЮК Дмитро

Хмельницький національний університет

e-mail: [panasyuk-d@i.ua](mailto:panasyuk-d@i.ua)

## АНАЛІЗ ЗАВАДОСТІЙКОСТІ ЗАХИЩЕНОЇ СИСТЕМИ ЗВ'ЯЗКУ 5G З ПОЛЯРНИМ КОДУВАННЯМ

Передача інформації у мобільних телекомунікаціях через канал зв'язку супроводжується виникненням помилок. Полярні коди забезпечують гарне виправлення помилок при низькій складності декодування для використовуваних на практиці довжин блоків у поєднанні з більш досконалими алгоритмами декодування. Полярне кодування здійснює операцію поляризації каналу зв'язку. Метою роботи є дослідження системи зв'язку з декодером послідовного виключення, реалізація полярного кодера і декодера на FPGA System-on-Chip (SoC) Intel DE10-Standard Development Kit. Проведене дослідження кількості бітових помилок від відношення сигнал-шум для системи зв'язку з модуляцією BPSK і різною довжиною кодового блоку, циклічним надлишковим кодом і реверсуванням бітів, різним розміром списку послідовного виключення і різною кодовою швидкістю.

Ключові слова: система зв'язку, полярний кодер, поляризація каналу, декодер послідовного виключення, коефіцієнт бітових помилок, 5G.

PYATIN Ilya

Khmelnytskyi Polytechnic, Professional College by Lviv Polytechnic National University

BOIKO Juliy

Khmelnytskyi National University

GAVRONSKIY Vitaliy

Khmelnytskyi Polytechnic, Professional College by Lviv Polytechnic National University

PANASYUK Dmytro

Khmelnytskyi National University

## NOISE IMMUNITY ANALYSIS OF PROTECTED 5G COMMUNICATION SYSTEM WITH POLAR CODING

The transmission of information in mobile telecommunications through a communication channel is accompanied by the occurrence of errors. Polar codes are a family of codes that achieve the bandwidth of symmetric channels without memory. Polar codes provide good error correction at low decoding complexity for practical block lengths when combined with more sophisticated decoding algorithms. This made it possible to use polar codes in the 5G wireless communication standard. The purpose of the work is to study the communication system with the serial exclusion decoder, the implementation of this decoder on the FPGA, and the determination of the bit error rate using mathematical modeling in the MATLAB environment. Polar coding performs the operation of polarization of the communication channel. Channel polarization is an operation by which a polarized set of  $N$  channels is created from  $N$  independent copies of a given channel  $W$ , the bandwidth of which tends to zero or unity. The basic algorithm of polar decoding is a sequential elimination algorithm. The recovered data must be sorted similarly to the input data, so the encoder input and decoder output must mirror each other. Each stage consists of  $N/2$  nodes  $F$  and  $G$  connected together in a structure resembling a fast Fourier transform. Node  $G$  is a bitwise conditional adder/subtractor representing the modulo 2 partial sums of the previously evaluated bits. The rule for calculating partial sums is based on the structure that copies the corresponding polar coder. The sequential elimination decoding algorithm consists of two tasks, the first of which runs sequentially from the input stage to the output stage to compute the final LLR and make a hard decision. The second task recursively executes the predecessor nodes to backpropagate the decoded bits from the decoder output to the corresponding predecessor stage. The polar encoder and decoder are implemented on the FPGA System-on-Chip (SoC) Intel DE10-Standard Development Kit. A study of the number of bit error rate from the signal-to-noise ratio for a communication system with BPSK modulation and different code block lengths, cyclic redundant code and bit reversal, different sizes of the sequential exclusion list and different code rates was carried out.

Keywords: communication system, polar coder, channel polarization, successive cancellation decoder, bit error rate, 5G

**Постановка проблеми у загальному вигляді  
та її зв'язок із важливими науковими чи практичними завданнями**

Передача інформації у мобільних телекомунікаціях через канал зв'язку супроводжується виникненням помилок. Якщо приймач виправляє їх без звернення до передавача, то використовується схема прямої корекції помилок. Полярні коди дозволяють збільшити пропускну здатність системи зв'язку і мають спрощені процедури кодування і декодування. Алгоритм послідовного виключення (Successive Cancellation – SC) є одним з алгоритмів декодування, що найчастіше використовуються, через його низьку складність. Він має широкі можливості для удосконалення апаратної архітектури. Для полярного коду компроміс між великою затримкою та ресурсами FPGA (Field Programmable Gate Array) є вузьким місцем розробки полярного декодера з високою пропускну здатністю.

Метою роботи є дослідження системи зв'язку з декодером послідовного виключення, реалізація цього декодера на FPGA, визначення коефіцієнта бітових помилок за допомогою математичного моделювання у середовищі МАТЛАБ.

**Аналіз досліджень та публікацій**

Канали зв'язку схильні до помилок через випадковий шум, завади, дефекти пристроїв тощо, які спотворюють початковий потік даних на приймачі. Полярні коди – це сімейство кодів з виправленням помилок, які досягають пропускну спроможності симетричних каналів без пам'яті. Полярні коди забезпечують гарне виправлення помилок при низькій складності декодування для використовуваних на практиці довжин блоків у поєднанні з більш досконалішими алгоритмами декодування. Ці характеристики дали змогу використовувати полярні коди у стандарті бездротового зв'язку 5G.

Використовують декодер послідовного виключення (SC), який забезпечує оцінку кожного біта повідомлення по порядку, від 1 до  $N$  з використанням операції прийняття рішення. Хоча асимптотична продуктивність полярних кодів при SC-декодуванні відповідає пропускну здатності каналу зв'язку, продуктивність кодів кінцевої довжини незадовільна. Декодування списку послідовного виключення (SCL) [1-3] зменшує кількість бітових помилок. Також використовують поєднання полярних кодів (ПК) з іншими кодами, таким як коди Cyclic Redundancy Check (CRC) [4]. Також відомий рекурсивний алгоритм декодування, що базується на використанні параметрів Бгаттачар'ї.

Складність коду визначає кількість енергії, що споживає декодер, об'єм пам'яті, обчислювальну потужність і затримку. Канальне кодування використовує набір алгоритмічних операцій над початковим потоком даних у передавачі та інший набір операцій над прийнятим потоком даних у приймачі для виправлення помилок. Мета досліджень канального кодування: розробити високопродуктивний канальний код, який зменшує вплив помилок у каналі зв'язку. Актуальною проблемою канального кодування є розробка декодера з низькою складністю і затримкою, що забезпечує зниження вартості і підвищення швидкості обробки інформації.

**Полярний кодер**

При довжині коду  $N=2^n$  та  $K$  інформаційних бітах вхід кодера складається з  $K$  інформаційних бітів та  $N - K$  заморожених бітів. Кодове слово  $x$  можна отримати за виразом:

$$x = u \cdot G_N,$$

де  $G_N = B_N \cdot F_2^{\otimes n}$  - генераторна матриця;  $B_N$  - матриця перестановок,  $F_2^{\otimes n}$  -  $n$ -а степінь Кронекера,

$$F_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$$

Генераторна матриця для  $N = 8$  зображена на рис. 1: Схема кодування, що відповідає наведеній генераторній матриці, приведена на рис. 2.

$$G_8 = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \end{bmatrix}$$

Рис. 1. Генераторна матриця для N=8

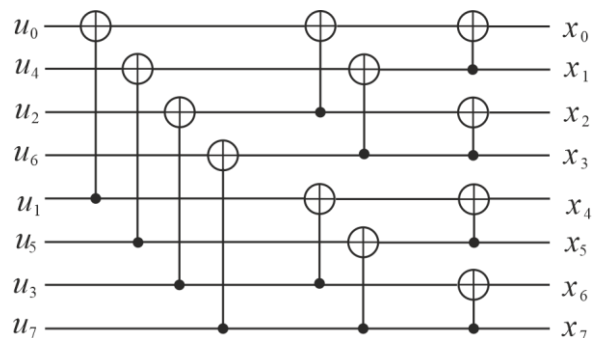


Рис. 2. Полярний кодер для N=8

Полярний кодер реалізує алгоритм, який вибирає  $K$  найкращих серед  $N$  можливих поляризованих бітових каналів.

### Поляризація каналу

Розглянемо метод поляризації каналу, що використовують для побудови кодів, які досягають симетричної пропускної здатності  $I(W)$  дискретного каналу без пам'яті з двійковим входом (BDMC)  $W$  [4].

$W^N$  позначає канал, що відповідає  $N$  використанням каналу  $W$ ; таким чином,  $W^N : X^N \rightarrow Y^N$  з  $W^N(y_1^N | x_1^N) = \prod_{i=1}^N W(x_i, y_i)$ .

Для каналу B-DMC (binary-input discrete memoryless channel)  $W$  є два параметри, що часто використовуються [4]: симетрична пропускна здатність, що визначається виразом:

$$I(W) = \sum_{y \in Y} \sum_{x \in X} \frac{1}{2} W(y|x) \log_2 \frac{W(y|x)}{0,5[W(y|0) + W(y|1)]},$$

де  $W(y|x)$  - перехідні ймовірності між виходом ( $y$ ) і входом ( $x$ ), та параметр Бгаттачар'ї:

$$Z(W) = \sum_{y \in Y} \sqrt{W(y|0)W(y|1)}.$$

Ці параметри використовуються як міри швидкості та надійності відповідно.  $I(W)$  - це найвища швидкість, при якій можливий надійний зв'язок через  $W$ .  $Z(W)$  — це верхня межа ймовірності помилки рішення з максимальною правдоподібністю (ML).  $Z(W)$  та  $I(W)$  набувають значення  $[0, 1]$ .

Двійковий симетричний канал (BSC) та двійковий канал стирання (BEC) є прикладами симетричних каналів. Прикладом дії BEC на послідовність бітів приведена на рис. 3

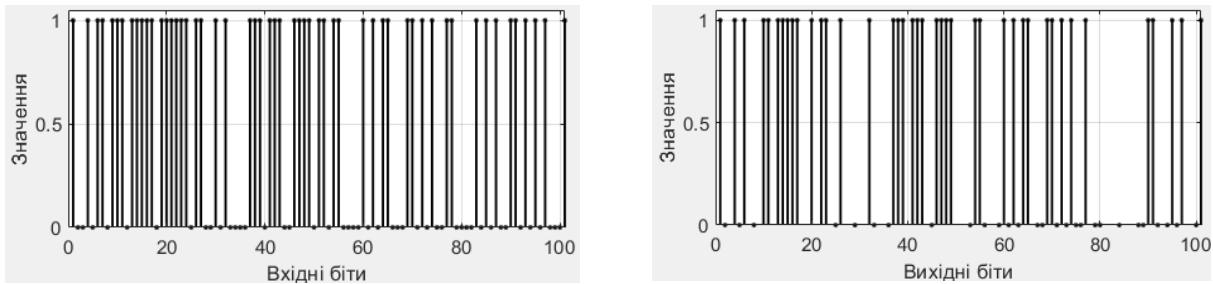


Рис. 3. Приклад дії двійкового каналу стирання (BEC) на послідовність бітів

Пропускна здатність  $I(W) \approx 1$  у випадку  $Z(W) \approx 0$ , і  $I(W) \approx 0$  у випадку  $Z(W) \approx 1$  [4].

$$I(W) \geq \log_2 \frac{2}{1 + Z(W)}, \quad I(W) \leq \sqrt{1 - Z(W)^2} \quad (1)$$

Приклад визначення пропускної здатності каналів для  $N=8$  приведено на рис. 4.

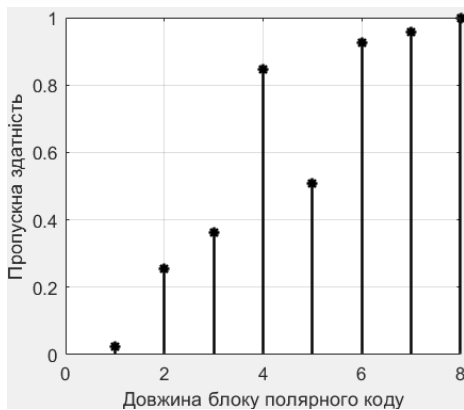


Рис. 4. Пропускна здатність за виразом (1) для  $N=8$

Наприклад, для довжини коду  $N=8$  і кодовій швидкості  $R=1/2$  маємо:

- кількість інформаційних біт  $K=N \cdot R=4$ ;
- кількість заморожених бітів  $F=N-K=4$ ;
- позиції інформаційних бітів  $A_c=(5,3,2,1)$ ;
- позиції заморожених бітів  $A=(8,7,6,4)$ .

Ідея кодування полярними кодами полягає у поділі індексів відсортованої за зростанням послідовності даних на два різні набори перед передачею. У перший набір входять індекси даних, що підлягають передачі каналами без завад. Інший набір включає індекси, що відповідають відомим замороженим бітам, які передаються по каналам з чистим шумом.

Двійковий симетричний канал (BSC) та двійковий канал стирання (BEC) є прикладами симетричних каналів. Поляризація каналу - це операція, за допомогою якої з  $N$  незалежних копій даного B-DMC каналу  $W$  створюється другий набір  $N$  каналів  $\{W_N^{(i)} : 1 \leq i \leq N\}$ , що демонструють ефект поляризації в тому сенсі, що коли  $N$  стає великим, симетричні члени пропускної спроможності  $I(W_N^{(i)})$  прагнуть до 0 або 1 для всіх індексів. Ця операція складається з фази об'єднання каналів та фази поділу каналів.

Ефект поляризації показано на рис. 5 для випадку, коли  $W$  є BEC із ймовірністю стирання  $\epsilon = 0,5$ .

На рис. 5 показано, що  $I(W^{(i)})$  має тенденцію бути близькою до 0 для малих  $i$  та до 1 для великих  $i$ .

На рис. 6 показано бінарне дерево поляризації каналів [4].

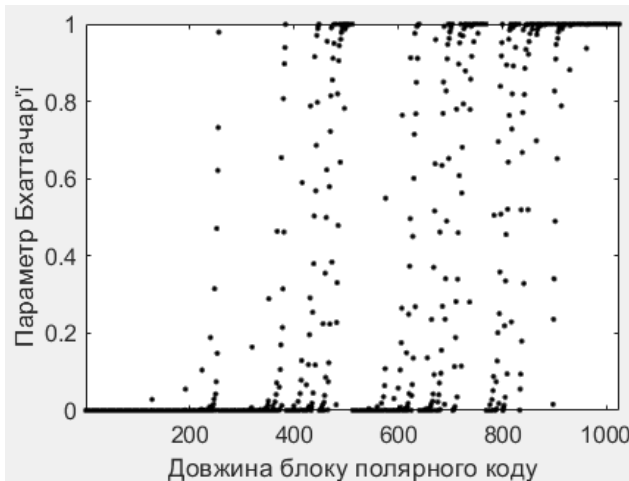


Рис. 5. Поляризація каналу

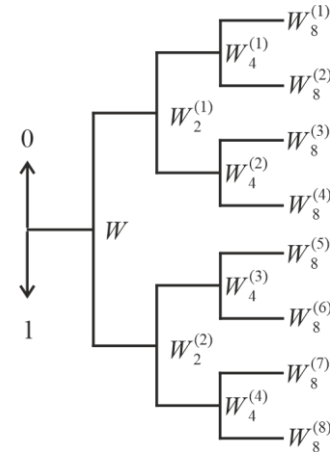


Рис. 6. Деревоподібний процес побудови рекурсивного каналу.

Кореневий вузол дерева пов'язаний з каналом  $W$ . Корінь  $W$  породжує верхній канал  $W_2^{(1)}$  і нижній канал  $W_2^{(2)}$ , який пов'язані з двома вузлами на рівні 1. Канал  $W_2^{(1)}$ , своєю чергою, породжує канали  $W_4^{(1)}$  і  $W_4^{(2)}$  і так далі. Канал  $W_2^{(i)}$  розташований на рівні  $n$  дерева у вузлі номер  $i$ , рахуючи зверху.

Верхня межа параметра Бгаттачар'я відповідає каналу з найбільшим рівнем шуму, а нижня межа - каналу з найнижчим рівнем шуму. Таким чином, для кращої роботи потрібно збільшити розрив між екстремумами параметра Бгаттачар'я. На боці передавача  $K$  інформаційних бітів вставляються у відповідні безшумні канали, а  $N-K$  заморожених бітів вставляються у відповідні канали з чистим шумом для створення вхідного вектора  $u_1^N$ , який має бути переданий каналом  $W$ .

Параметр Бгаттачар'я використовується як міра надійності, де він є верхньою межею ймовірності помилки рішення з максимальною ймовірністю для двійкового каналу зв'язку.

### Полярний декодер

Базовий алгоритм полярного декодування - це алгоритм послідовного виключення (SC). Відомі ще алгоритми декодування з більш високою продуктивністю для відносно коротких кодових слів, але з більшою складністю, такі як алгоритм декодування списку послідовного виключення (SCL), алгоритм декодування списку послідовного виключення за допомогою CRC (CA-SCL) [4] та алгоритм поширення переконань (PB) [5]. Алгоритм поширення переконань добре відомий своїм застосуванням для LDPC декодування, в якому між вузлами відбувається обмін м'якими повідомленнями. З іншого боку, алгоритм SCL зберігає список рішень та вибирає найкраще рішення, використовуючи сортування. Обидва вони мають кращу продуктивність, особливо алгоритм SCL забезпечує найкраще підсилення BER для полярних кодів із короткою довжиною блоку. Ми зосередимося на алгоритмі декодування SC через його простоту.

На рис. 7 наведена FPGA реалізація декодера послідовного виключення.

Відновлені дані повинні бути відсортовані аналогічно до вхідних даних, тому вхід кодера і вихід декодера повинні відображати один одного. Отже, кодер повинен мати «великих» метеликів на вході, а декодер - «великих» метеликів на виході. Кожен етап складається з  $N/2$  вузлів  $F$  і  $G$ , з'єднаних між собою у структуру, що нагадує швидке перетворення Фур'є (ШПФ). Ці два вузли реалізують дві основні функції,  $f(a,b)$  і  $g(\hat{u}_s, a,b)$ , де  $a$  і  $b$  - відношення правдоподібності:

$$f(a,b) = \frac{1+ab}{a+b} \quad (2)$$

$$g(\hat{u}_s, a, b) = a^{1-2\hat{u}_s} b \quad (3)$$

Оціночні значення розраховуються з використанням наступного виразу:

$$\hat{u}_i = \begin{cases} 0, & \frac{\Pr(y|\hat{u}_0^{i-1}, u_i=0)}{\Pr(y|\hat{u}_0^{i-1}, u_i=1)} \geq 1 \\ 1, & \text{інакше} \end{cases}$$

де  $y$  – вихід із каналу.

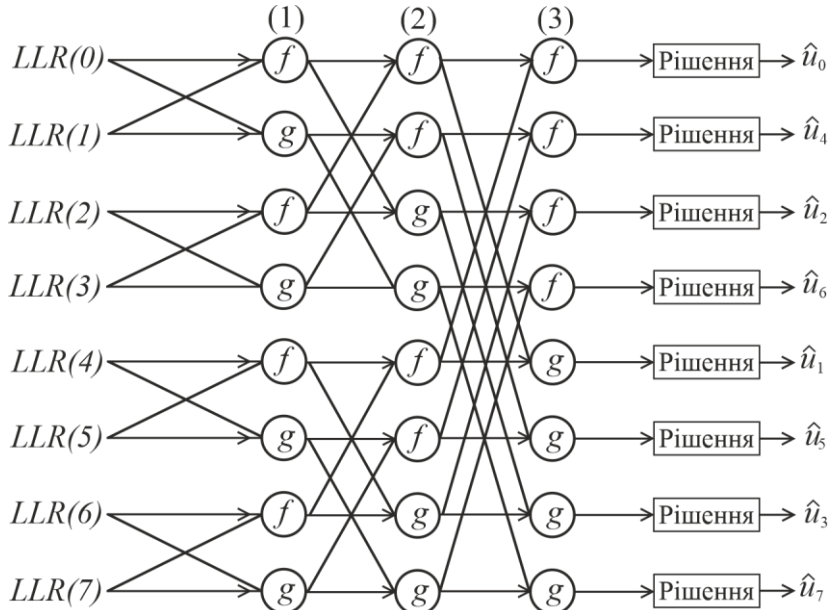


Рис. 7. Декодер полярного коду,  $N=8$

Щоб реалізувати ці два вузли апаратно, (2) і (3) перетворюються у логарифмічній області до:

$$f(a,b) = 2\text{arth} \left[ \text{th} \left( \frac{a}{2} \right) \cdot \text{th} \left( \frac{b}{2} \right) \right], \quad (4)$$

$$g(\hat{u}_s, a, b) = (1 - 2\hat{u}_s) a + b, \quad (5)$$

де  $a, b$  - логарифмічні відношення правдоподібності (LLR). Рівняння (4) можна замінити наближенням мінімальної суми, що описується виразом:

$$f(a,b) = \min(|a|, |b|). \quad (6)$$

Це наближення використовується для розрахунку контрольного вузла для коду LDPC. Вузол  $G$ , який реалізує (5), насправді є умовним додаванням/відніманням, що залежить від значення біта рішення  $\hat{u}_s$  де  $\hat{u}_s$  є бітом, що представляє часткову суму за модулем 2 раніше оцінених бітів. Правило обчислення часткових сум  $\hat{u}_s$  засноване на структурі, що копіює відповідний полярний кодер. У середині DFG декодера «захований» DFG кодер. Наприклад, часткова сума  $\hat{u}_s$  для вузла  $G_{1,2}$  дорівнює  $\hat{u}_2 \otimes \hat{u}_3$ , а відповідна часткова сума  $G_{3,4}$  дорівнює  $\hat{u}_6$ , що означає, що для оновлення вузла  $G$  його вихід має вже оцінити  $\hat{u}_6$ . Отже правило оновлення для жорстких повідомлень можна виразити наступним чином:

$$\hat{s}_{i+1,j} = \begin{cases} s_{i,j} \oplus s_{i,j+2^{i-1}}, & \left| \frac{j-1}{2^{i-1}} \right| \bmod 2 = 0 \\ s_{i,j}, & \text{інакше} \end{cases} \quad (7)$$

в той час, як правило оновлення для м'яких повідомлень може бути визначено наступним виразом:

$$LLR_{i,j} = \begin{cases} \min\left(|LLR_{i+1,j}|, |LLR_{i+1,j+2^{i-1}}|\right), & \left|\frac{j-1}{2^{i-1}}\right| \bmod 2 = 0 \\ (1 - 2s_{i,j-2^{i-1}})LLR_{i+1,j-2^{i-1}} + LLR_{i+1,j}, & \text{інакше} \end{cases} \quad (8)$$

де  $i = 1, 2, K, n$  та  $j = 1, 2, K, N$

Алгоритм декодування послідовного виключення складається з двох завдань, перше з яких проходить послідовно від вхідного етапу до вихідного для визначення LLR і прийняття жорсткого рішення. Друге завдання рекурсивно виконує вузли-попередники для зворотного розповсюдження декодованих  $\hat{u}_s$  з виходу на відповідну попередню стадію.

Алгоритм декодування SCL є значним удосконаленням алгоритму SC, де на кожному етапі декодування розглядаються  $L$  шляхів декодування. Зокрема алгоритм SCL подвоює кількість шляхів декодування для кожного інформаційного біта, таким чином переслідуючи обидва біти оцінки  $u_i = 0$  і  $u_i = 1$ , а потім використовує процедуру укорочення, щоб відкинути все, крім  $L$  найбільш ймовірних шляхів. Наприкінці процесу декодування як кодове слово вибирається найімовірніший шлях. Продуктивність алгоритму декодування SCL набагато краща порівняно з алгоритмом SC, особливо при нижчому рівні шуму, де оцінки ненадійні через малі значення LLR. Алгоритм декодування SCL складніше, ніж SC, і декодер SCL має більшу затримку, ніж реалізований декодер SC.

Алгоритм CA-SCL є удосконаленням відповідного алгоритму SCL для коротких чи середніх блоків. Коди CRC є найбільш широко використовуваною схемою кодування для виявлення помилок в практичних системах зв'язку [6].  $K$ -бітний вхідний блок кодера з виправленням помилок складається з інформаційних бітів  $k$  і  $m$ -бітної послідовності CRC. Декодер CA-SCL направляє послідовності-кандидати в детектор CRC, а останній повертає результати перевірки, щоб допомогти у визначенні кодового слова. Продуктивність такої реалізації полярного декодера покращується [6].

Арікан також запропонував полярний декодер поширення переконань [4], який використовує такий самий DFG (data flow graph), що й SC. Замість передачі жорстких повідомлень BP Polar Decoder передає програмні повідомлення між вузлами перевірки та вузлами змінних. Продуктивність помилок полярного декодера BP має додатковий вииграш у кодуванні порівняно з SC, але використовувати паралелізм складно. Крім того, полярний декодер BP відрізняється більш високою складністю реалізації та меншою пропускну здатністю, ніж декодер SC Polar [3].

### Реалізація полярного кодування

DFG алгоритм декодування SC складається з  $2^n$  бінарних дерев, і для максимального використання обладнання SoC FPGA пропонується реалізація одного бінарного дерева з вузлами, що налаштовуються [6]. Ця архітектура Polar Decoder передбачає, що на кожному етапі пара вузлів  $F$  і  $G$  використовує однакову пару LLR, тому такі вузли  $F$  і  $G$  групуються в одному процесорному блоці. Також активується лише одне бінарне дерево для оцінки  $\hat{u}_i$ . Отже, цей полярний декодер містить  $2^n - 1$  блоків обробки, а блок жорстких рішень оцінює LLR вихідного каскаду. Набір бітів рішення, необхідних для вузла  $G$  усередині блоків обробки, зберігається у пам'яті та використовується у відповідний час.

Як приклад для 8-точкового полярного коду реалізовані два комбінаційних декодери  $N = 4$ , щоб зробити обчислення паралельними, у той час як додатковий етап  $N = 8$  DFG використовується як вхідні дані вихідні сигнали цих двох декодерів. Для обчислення рішень для кожного вузла  $G$  було реалізовано Polar Encoder. На вхід кодера подаються правильно оцінені біти, а вихід кодера використовується як рішення для вузлів  $G$  на додатковому етапі.

У поданні двійкового дерева декодера SC деякі блоки обробки неактивні, оскільки процес декодування використовує блоки обробки наступного етапу. Поки ці блоки обробки неактивні, вставляється новий набір LLR каналу, і це триває за умови, що залежності даних задоволені. Наприклад, у 8-точковому полярному декодері з використанням цієї реалізації [7] три кодові слова були декодовані з тією ж затримкою, що і в полярному декодері уявлення двійкового дерева в [8]. Це значне покращення пропускну здатності, але збільшується вартість апаратного ускладнення.

### Вузли $F$ і $G$

Щоб  $F$ -вузол був реалізований із наближенням minSum, цей компонент містить схему, що реалізує функцію ABS, яка обчислює абсолютне значення своїх входів. Також використовується компаратор, який визначає мінімальне значення. Також включені два мультиплексори два-до-одного. Перший вибирає, яке з двох абсолютних значень має мінімальне значення, а його сигнал вибору є виходом компаратора. Вихід

першого мультиплектора та його додатковий код використовуються як входи для другого мультиплектора два-до-одного, як показано на рис. 8. Сигналом вибору цього мультиплектора є вихідний сигнал вентиля XOR (виключене АБО). Наближення minSum визначається згідно виразу:

$$output = sign(l_a) * sign(l_b) * \min(abs(l_a), abs(l_b))$$

Блок-схема вузла F показано на рис. 8.

Функція G є умовним додаванням/відніманням, що залежить від значення біта  $\hat{u}_s$  у відповідній точці DFG декодера. Вузол G визначається наступним виразом:

$$g(\hat{u}_s, a, b) = (1 - 2\hat{u}_s)a + b$$

Залежно від значення  $\hat{u}_s$ , в якості одної з складових вибирається a, або додатковий код a. Цей компонент реалізує суматор, який складає раніше обраний доданок з іншим входом, як показано на рис. 9.

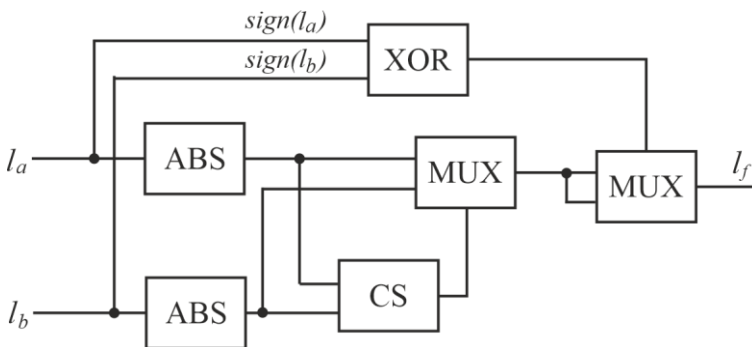


Рис. 8. Блок-схема вузла F (ABS – Абсолютне значення; CS – Порівняти і вибрати, MUX – Мультиплексор)

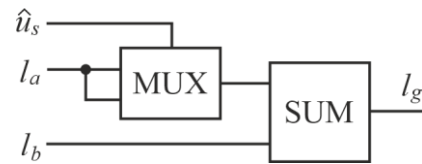


Рис. 9. Блок-схема вузла G (MUX – Мультиплексор, SUM – Підсумовувач)

### Експериментальні дослідження

Проведемо дослідження системи зв'язку за рис. 10 у середовищі MATLAB.

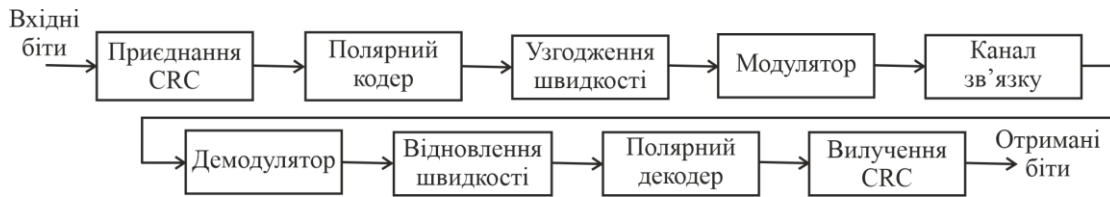


Рис. 10. Структурна схема системи зв'язку

Полярний кодер і декодер реалізовані на FPGA System-on-Chip (SoC) Intel DE10-Standard Development Kit. Процесор Cortex-A9 має два вбудованих ядра з програмованою логікою. SoC Cyclone V SE 5CSXFC6D6F31C6N інтегрує систему жорсткого процесора (HPS) на базі ARM, що складається з процесора, периферійних пристроїв та інтерфейсів пам'яті, пов'язаних із матрицею FPGA.

На рис. 10 показано, як використовується полярний код для передачі інформаційного повідомлення. Спочатку до інформаційного повідомлення приєднується циклічний надлишковий код (CRC) для підвищення завадостійкості, як показано на рис.11.



Рис. 11. Приєднання CRC до інформаційних бітів

$$g_{CRC-11}(D) = D^{11} + D^{10} + D^9 + D^5 + 1$$

За наведеним виразом формується наступна бітова послідовність: CRC11=[1 1 1 0 0 0 1 0 0 0 0 1]; CRC ефективний як зовнішній код для виявлення помилок.

Якщо обрана довжина коду M не відповідає довжині закодованої послідовності ( $2^{\log_2(M)}$ ), необхідна операція узгодження швидкості, яка полягає у виколюванні N-M позицій у кодовому слові довжини N. Далі відбувається BPSK-модуляція сигналу і передача його у середовище розповсюдження [9, 10].

У приймачі виконуються наступні операції (рис. 10):

- BPSK-демодуляція;
- відновлення швидкості, що полягає у відновленні за розміром закодованої послідовності (N) і кількістю виколотих позицій (P) кодового слова, що подається на декодер;



- полярне декодування, що полягає у відновленні переданого повідомлення [11];
- вилучення CRC.

На рис. 12 приведені результати дослідження кількості бітових помилок від відношення сигнал-шум для системи зв'язку з модуляцією BPSK і різною довжиною кодового блоку [12].

Реверсування бітів відсутнє, приєднаний CRC довжиною 11 бітів. Для полярного коду з довжиною блоку  $M=32$  і кодовою швидкістю  $R=1/2$ , кількість інформативних бітів з урахуванням CRC:  $K=16$ . Кількість закодованих бітів на виході кодера полярного коду  $N=32$  (має визначатись степенем числа 2). В цьому випадку виколування позицій полярного коду для узгодження швидкості відсутнє [13].

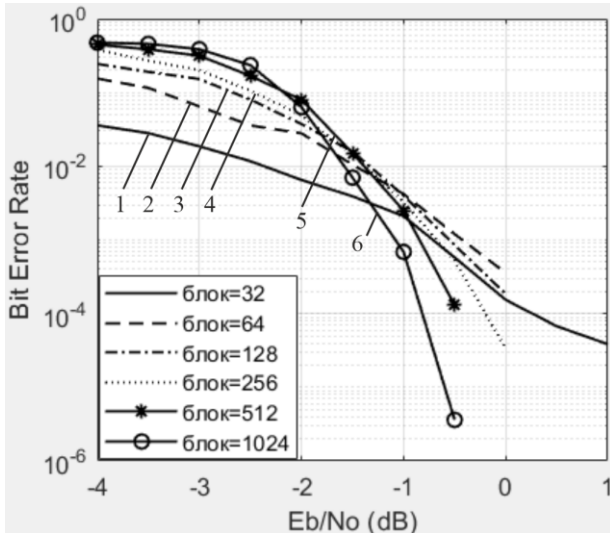


Рис. 12. Залежність BER від  $E_b/N_0$  для системи зв'язку з різною довжиною кодового блоку: (1 – 32 біта; 2 – 64 біта; 3 – 128 біт; 4 – 256 біт; 5 – 512 біт; 6 – 1024 біт)

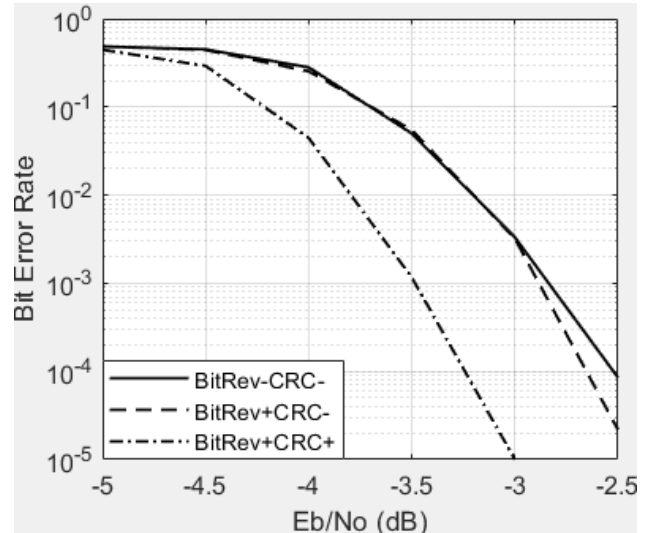


Рис. 13. Залежність кількості бітових помилок від відношення сигнал-шум для системи зв'язку з циклічним надлишковим кодом і реверсуванням бітів

З отриманих результатів можна зробити висновок, що зі збільшенням розміру блоку даних (кодового слова) від 64 біт до 1024 біт завадостійкість системи зв'язку підвищується на 1 дБ.

На рис. 13 приведені результати дослідження кількості бітових помилок від відношення сигнал-шум для системи зв'язку з циклічним надлишковим кодом і реверсуванням бітів. З отриманих результатів можна зробити висновок, що наявність реверсування бітів пришвидшує загасання BER на 0,2 дБ. Приєднання CRC підвищує завадостійкість на 0,5 дБ.

Проведемо дослідження кількості бітових помилок від відношення сигнал-шум для системи зв'язку з різним розміром списку послідовного виключення (рис. 14) і різною кодовою швидкістю (рис. 15).

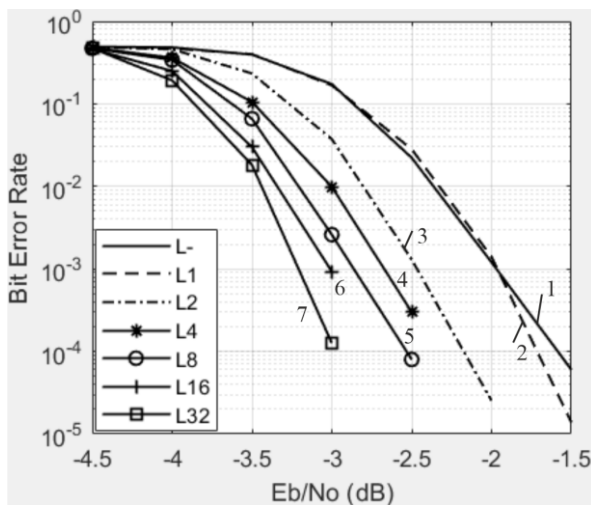


Рис. 14. Залежність BER від  $E_b/N_0$  системи зв'язку з різною довжиною списку декодера послідовного виключення (1 – список відсутній; 2 –  $L=1$ ; 3 –  $L=2$ ; 4 –  $L=4$ ; 5 –  $L=8$ ; 6 –  $L=16$ ; 7 –  $L=32$ )

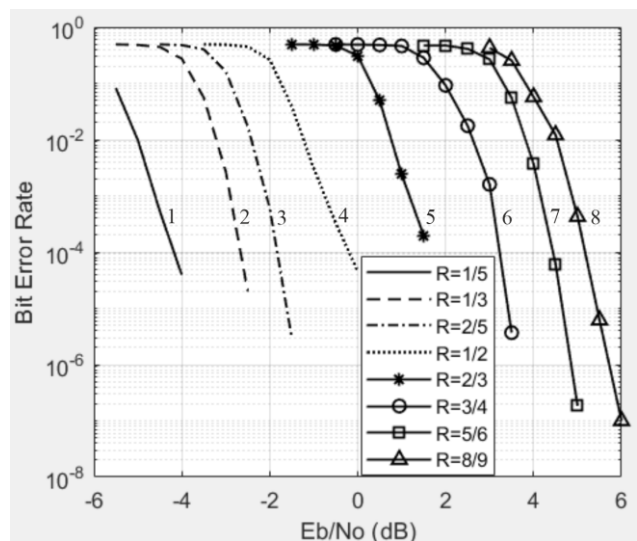


Рис. 15. Залежність BER від  $E_b/N_0$  системи зв'язку з різною кодовою швидкістю (1 –  $R=1/5$ ; 2 –  $R=1/3$ ; 3 –  $R=2/5$ ; 4 –  $R=1/2$ ; 5 –  $R=2/3$ ; 6 –  $R=3/4$ ; 7 –  $R=5/6$ ; 8 –  $R=8/9$ )



Для моделювання було використано довжина кодового слова  $M=4000$ , довжина кодового слова на виході кодеру  $N=4096$ , кількість виколотих бітів  $P=96$  [13].

З отриманих залежностей можна зробити висновок, що декодер списку послідовного виключення дозволяє підвищити завадостійкість системи зв'язку: навіть розмір списку  $L=2$  підвищує завадостійкість на 0,7 дБ у порівнянні з класичним декодером послідовного виключення. Подальше збільшення розміру списку не дає суттєвого покращення продуктивності: збільшення розміру списку з  $L=2$  до  $L=32$  збільшує завадостійкість на 0,8 дБ, але додає суттєву затримку. Збільшення кодової швидкості має більший вплив на коефіцієнт бітових помилок: збільшення кодової швидкості від 1/5 до 8/9 потребує збільшення відношення сигнал-шум на 10 дБ, але дозволяє збільшити швидкість передавання даних у 4,5 рази.

### Висновки з даного дослідження і перспективи подальших розвідок у даному напрямі

Проведене дослідження системи зв'язку з полярним кодуванням. Розглянуті кодер, декодер полярного коду, принципи поляризації каналу. Проаналізована дія двійкового каналу стирання (BEC) на послідовність бітів. Визначена пропускна здатність  $I(W)$  кожного віртуального поляризованого каналу і принципи поділу цих каналів на «погані і «хороші» за значенням параметра Бгаттачар'ї.

Проведене дослідження кількості бітових помилок від відношення сигнал-шум для системи зв'язку з модуляцією BPSK і різною довжиною кодового блоку, циклічним надлишковим кодом і реверсуванням бітів, різним розміром списку послідовного виключення і різною кодовою швидкістю. З отриманих результатів можна зробити висновок, що зі збільшенням розміру блоку даних (кодового слова) від 64 біт до 1024 біт завадостійкість системи зв'язку підвищується на 1 дБ. Наявність реверсування бітів пришвидшує загасання BER на 0,2 дБ. Приєднання CRC підвищує завадостійкість на 0,5 дБ.

Використання декодера списку послідовного виключення з розміром списку  $L=2$  підвищує завадостійкість системи зв'язку на 0,7 дБ у порівнянні з класичним декодером послідовного виключення. Подальше збільшення розміру списку до  $L=32$  збільшує завадостійкість на 0,8 дБ, але додає суттєву затримку. Збільшення кодової швидкості має більший вплив на коефіцієнт бітових помилок: збільшення кодової швидкості від 1/5 до 8/9 потребує збільшення відношення сигнал-шум на 10 дБ, але дозволяє збільшити швидкість передавання даних у 4,5 рази.

### Література

1. Пятін І.С. Методика полярного кодування в 5G мобільних засобах телекомунікацій з багатопозиційною модуляцією /І.С. Пятін, Ю.М. Бойко //Вимірювальна та обчислювальна техніка в технологічних процесах. – 2020. - №1 - С.67-76.
2. Пятін І. С. Порівняння продуктивності завадостійких кодів на основі програмного HDL моделювання для захищених інформаційних технологій / І. С. Пятін, Ю. М. Бойко // Інфокомунікаційні та комп'ютерні технології. – 2022. – № 1(03). – С. 39-62.
3. C. Andriakopoulos and V. Paliouras, "Data representation and hardware aspects in a fully-folded successive-cancellation polar decoder," 2018 7th International Conference on Modern Circuits and Systems Technologies (MOCASST), Thessaloniki, Greece, 2018, pp. 1-4, doi: 10.1109/MOCASST.2018.8376633.
4. E. Arikan, "Channel Polarization: A Method for Constructing Capacity-Achieving Codes for Symmetric Binary-Input Memoryless Channels," in IEEE Transactions on Information Theory, vol. 55, no. 7, pp. 3051-3073, July 2009, doi: 10.1109/TIT.2009.2021379.
5. H. Ochiai, P. Mitran and H. Vincent Poor, "Capacity-Approaching Polar Codes With Long Codewords and Successive Cancellation Decoding Based on Improved Gaussian Approximation," in IEEE Transactions on Communications, vol. 69, no. 1, pp. 31-43, Jan. 2021, doi: 10.1109/TCOMM.2020.3030057.
6. W. Tan, A. Wang, Y. Xu and Y. Lao, "Area-Efficient Pipelined VLSI Architecture for Polar Decoder," 2020 IEEE Computer Society Annual Symposium on VLSI (ISVLSI), Limassol, Cyprus, 2020, pp. 352-357, doi: 10.1109/ISVLSI49217.2020.00071.
7. Federico G. Krasser, Mónica C. Liberatori, Leonardo Coppolillo, Fast and efficient FPGA implementation of Polar Codes and SoC test bench, Microprocessors and Microsystems, Volume 84, 2021. <https://doi.org/10.1016/j.micpro.2021.104264>.
8. C. Leroux, I. Tal, A. Vardy and W. J. Gross, "Hardware architectures for successive cancellation decoding of polar codes," 2011 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP), Prague, Czech Republic, 2011, pp. 1665-1668, doi: 10.1109/ICASSP.2011.5946819.
9. J. Boiko, I. Pyatin and O. Eromenko, "Simulation of the Transport Channel With Polar Codes for the 5G Mobile Communication," 2020 IEEE International Conference on Problems of Infocommunications. Science and Technology (PIC S&T), Kharkiv, Ukraine, 2020, pp. 182-186.
10. Z. B. Kaykac Egilmez, L. Xiang, R. G. Maunder and L. Hanzo, "The Development Operation and Performance of the 5G Polar Codes", IEEE Communications Surveys & Tutorials, vol. 22, no. 1, pp. 96-122, 2020.

11. Бойко Ю. Transmission of control information in 5G broadband telecommunication systems / Ю.Бойко, І. П'ятін, Л. Карпова, І. Пархомей //Адаптивні системи автоматичного управління. – 2021. – Т. 1. – №. 38. – С. 82-95.

12. Mordiyuk V. Методичні аспекти визначення основних параметрів сигнально-кодових конструкцій системи автоматизованого встановлення зв'язку у сеансах з кореспондентами /V. Mordiyuk, Y. Synytskiy // Системи управління, навігації та зв'язку. Збірник наукових праць. – Полтава: ПНТУ, 2023. – Т. 2 (72). – С.199-203.

13. Бойко Ю. Особливості формування кодової надлишковості у каналах передачі інформації / Ю.Бойко, А. Семенко, І. П'ятін, //Інфокомунікаційні та комп'ютерні технології. – 2022 - Т.2, №04. - С. 12-25.

### References

1. Piatin I. Polar coding technique in 5G mobile telecommunications with multi-position modulation /I. Piatin, J. Boiko //Measuring and computing devices in technological processes. – 2020. – No. 1 - S.67-76.

2. Piatin I. Comparison the performance of error-control code based on software HDL modeling for information security technologies / I. Piatin, J. Boiko //Infocommunication and computer technologies. – 2022. – Vol. 1, No. 3. – S. 39-62.

3. C. Andriakopoulos and V. Paliouras, "Data representation and hardware aspects in a fully-folded successive-cancellation polar decoder," 2018 7th International Conference on Modern Circuits and Systems Technologies (MOCASST), Thessaloniki, Greece, 2018, pp. 1-4, doi: 10.1109/MOCASST.2018.8376633.

4. E. Arıkan, "Channel Polarization: A Method for Constructing Capacity-Achieving Codes for Symmetric Binary-Input Memoryless Channels," in IEEE Transactions on Information Theory, vol. 55, no. 7, pp. 3051-3073, July 2009, doi: 10.1109/TIT.2009.2021379.

5. H. Ochiai, P. Mitran and H. Vincent Poor, "Capacity-Approaching Polar Codes With Long Codewords and Successive Cancellation Decoding Based on Improved Gaussian Approximation," in IEEE Transactions on Communications, vol. 69, no. 1, pp. 31-43, Jan. 2021, doi: 10.1109/TCOMM.2020.3030057.

6. W. Tan, A. Wang, Y. Xu and Y. Lao, "Area-Efficient Pipelined VLSI Architecture for Polar Decoder," 2020 IEEE Computer Society Annual Symposium on VLSI (ISVLSI), Limassol, Cyprus, 2020, pp. 352-357, doi: 10.1109/ISVLSI49217.2020.00071.

7. Federico G. Krasser, Mónica C. Liberatori, Leonardo Coppelillo, Fast and efficient FPGA implementation of Polar Codes and SoC test bench, Microprocessors and Microsystems, Volume 84, 2021. <https://doi.org/10.1016/j.micpro.2021.104264>.

8 C. Leroux, I. Tal, A. Vardy and W. J. Gross, "Hardware architectures for successive cancellation decoding of polar codes," 2011 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP), Prague, Czech Republic, 2011, pp. 1665-1668, doi: 10.1109/ICASSP.2011.5946819.

9. J. Boiko, I. Pyatin and O. Eromenko, "Simulation of the Transport Channel With Polar Codes for the 5G Mobile Communication," 2020 IEEE International Conference on Problems of Infocommunications. Science and Technology (PIC S&T), Kharkiv, Ukraine, 2020, pp. 182-186.

10. Z. B. Kaykac Egilmez, L. Xiang, R. G. Maunder and L. Hanzo, "The Development Operation and Performance of the 5G Polar Codes", IEEE Communications Surveys & Tutorials, vol. 22, no. 1, pp. 96-122, 2020.

11. Boiko J. Transmission of control information in 5G broadband telecommunication systems /J. Boiko, I. Pyatin, L. Karpova, I. Parkhomye //Adaptive systems of automatic control. – 2021. – Vol. 1. – No. 38. – S. 82-95.

12. Mordiyuk V. Methodological aspects of determining the main parameters of the signal-code constructions of the automated contact establishment system in sessions with correspondents /V. Mordiyuk, Y. Synytskiy // Control, Navigation and Communication Systems. Academic Journal. – Poltava: PNTU, 2023. – VOL. 2 (72). – PP. 199-203.

13. Boiko J. Features of code redundancy formation in information transmission channels /J. Boiko, A. Semenکو, I. Pyatin //Infocommunication and computer technologies. – 2022 - Vol.2, № 04. - P. 12-25.