

УДК 004.31

DOI: 10.31891/2219-9365-2021-67-1-12

ІВАНОВ О. В., ЛИЧАК Д. О., НІЧЕПОРУК А. О.  
Хмельницький національний університет

## ДОСЛІДЖЕННЯ ПАСИВНОГО СИГМА-ДЕЛЬТА-МОДУЛЯТОРА ДРУГОГО ПОРЯДКУ

*В роботі представлено архітектуру пасивного дельта-сигма модулятора з комутованим конденсатором, яка базується на техніці обертання із розподілом заряду, та яка дозволяє усунути міжступеневі ефекти навантаження, які є негативним чинником для традиційних пасивних модуляторів. Для поліпшення придушення шуму та стабільності роботи запропонованого модулятора до інтегратора 2-го ступеня додано незалежний додатковий шлях зворотного зв'язку та нульовий каскад.*

*Ключові слова:* Модулятор, Сигма-дельта модуляція, Компаратор, Фільтр.

O. IVANOV, D. LYCHAK, A. NICHEPORUK  
Khmelnytskyi National University

## INVESTIGATION OF SECOND-ORDER PASSIVE SIGMA-DELTA MODULATOR

*The ever-increasing demands on the Internet of Things and portable devices are contributing to the development of the latest trends based on energy-efficient system design. This is further motivated by the relatively slow development of energy storage technologies and consumer expectations for their operation over time. To achieve low-cost large-scale integration, along with the use of acceptable digital energy efficiency, the Internet of Things and portable devices are usually integrated into deep nanoscale CMOS technology. However, it is quite difficult to implement high-performance operational amplifiers and comparators, which are necessary elements for most analog-to-digital converters (ADCs), in deep nanoscale CMOS, given the low natural gain of transistors and low supply voltage. Therefore, passive ADC topologies are an alternative to deep nanoscale CMOS to increase the overall energy efficiency of portable devices and the Internet of Things.*

*The paper presents the architecture of a second-order passive modulator which uses the technique of the charge-sharing rotation to suppress the effect of interstage loading in the circuit filter of a capacitor with switched condensation. An independent additional feedback path and an additional zero-input stage are added to the 2-nd stage of the low-pass filter and optimized by behavioral simulation to increase noise attenuation in the quantization range and improve stability.*

*Keywords:* Modulator, Sigma-delta modulation, Comparator, Filter.

**Вступ.** Постійно зростаючі вимоги до мереж Інтернету речей (IoT) та портативних пристроїв сприяють розвитку новітніх тенденцій, що засновані на енергоефективному проектуванні систем. Це додатково мотивовано відносно повільним розвитком технологій накопичення енергії та сподіваннями споживачів на їх експлуатацію протягом тривалого часу. Для досягнення недорогої широкомасштабної інтеграції, разом із використанням прийнятної цифрової енергоефективності, мережі Інтернету речей та портативні пристрої зазвичай інтегруються в глибоку наномасштабну технологію КМОН (deep nanoscale CMOS technology). Однак, досить складно впровадити високопродуктивні операційні підсилювачі та компаратори, які є необхідними елементами для більшості аналого-цифрових перетворювачів (АЦП), в глибокі наномасштабні КМОН, враховуючи низький власний коефіцієнт підсилення транзисторів та занижену напругу живлення. Тому пасивні топології АЦП є альтернативою глибоких наномасштабних КМОН для підвищення загальної енергоефективності портативних пристроїв та мереж Інтернету речей.

**Сигма-дельта модуляція.** Для точної обробки електричних сигналів використовуються цифрові методи, однак вимірювані фізичні величини, будь-які процеси у природі, людська мова являються аналоговими. Тому відповідні їм електричні сигнали, що отримуються в результаті зчитування (вимірювання), повинні пройти етап перетворення до цифрового виду. Перетворення здійснюється за допомогою аналогово-цифрових перетворювачів (АЦП), серед яких сигма-дельта АЦП, що володіють підвищеною точністю [3].

На рис. 1 наведено узагальнену структурну схему сигма-дельта модулятора. Розглянемо детальніше принцип її роботи.

Аналоговий вхідний сигнал (1) надходить на вираховувач, де з нього віднімається вихідний сигнал однобітного ЦАП зворотного зв'язку (що формує напругу  $+V_{ref}$  або  $-V_{ref}$ ), після чого отриманий сигнал (2) надходить в інтегратор. Інтегратор накопичує різницю між аналоговим вхідним сигналом (1) і вихідним сигналом однобітного ЦАП зворотного зв'язку ( $+V_{ref}$  або  $-V_{ref}$ ). Сигнал з виходу інтегратора (3) надходить на компаратор, який порівнює цей сигнал з нульовою опорною напругою. Вихідний стан компаратора (4) по такому сигналу фіксується D-тригером (5) для передачі на вихід модулятора через дискретні часові інтервали. Вихід D-тригера являє собою цифровий однобітний вихід сигма-дельта-модулятора. Цей вихідний сигнал також надходить на однобітний ЦАП зворотного зв'язку, який може формувати тільки дві напруги (як правило, в якості ЦАП використовується аналоговий комутатор, що перемикає вихід між

джерелами опорних напруг  $+V_{ref}$  і  $-V_{ref}$ ). Швидкість передачі вихідного потоку одиниць даних визначається тактовою частотою модулятора.

Результат роботи сигма-дельта-модулятора є потік цифрових даних, який синхронізується тактовим сигналом модулятора. Середнє значення цих даних (обчислене в цифровій області) відповідає вхідному аналоговому напрузі. Це середнє значення обчислюється як відношення числа одиничних бітів до числа нульових бітів у вихідному потоці сигма-дельта-модулятора протягом заданої кількості періодів тактового сигналу.

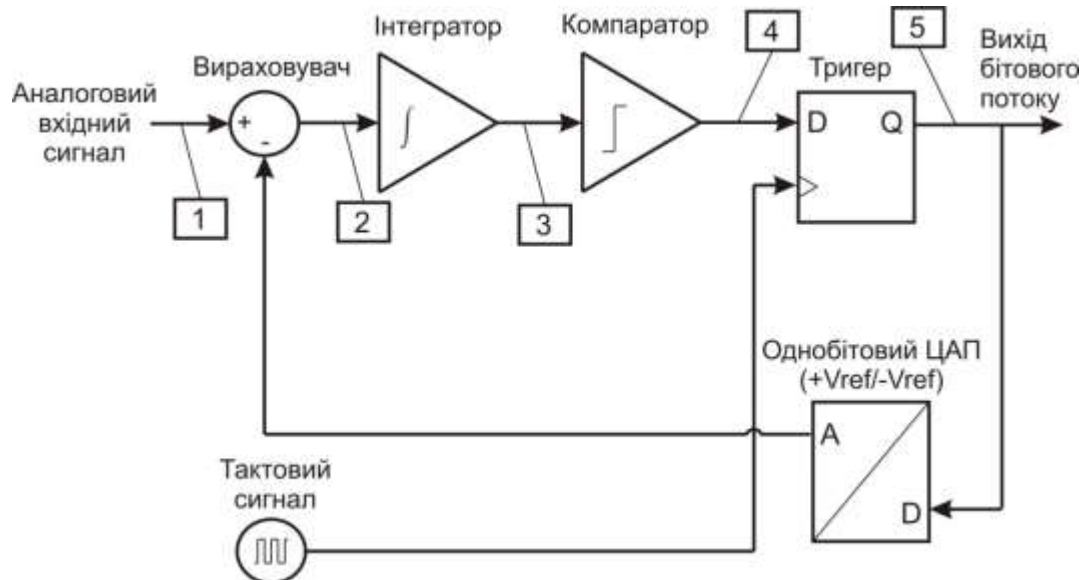


Рис. 1. Узагальнену структурну схему сигма-дельта-модулятора

У наномасштабному КМОН через труднощі з реалізацією операційних підсилювачів та відносно високе енергоспоживання багатоступеневих підсилювачів були введені різні методи для зменшення кількості та енергоспоживання операційних підсилювачів в сигма-дельта АЦП. Зокрема, вони включають наступні техніки:

- комутованих операційних підсилювачів;
- спільного використання підсилювачів;
- заміни операційних підсилювачів;
- інтегратори на основі регулятора напруги (VCO) та пасивні інтегратори.

**Комутована техніка операційного підсилювача.** Операційні підсилювачі всередині інтеграторів працюють лише під час відповідної фази інтеграції, в той час як вони просто споживають статичну потужність. Натомість операційні підсилювачі можуть бути відключені під час інших фаз, для того щоб зменшити споживання енергії.

Це можна зробити, зарядивши конденсатор для відбору проб на наступному етапі та інтегрувавши його протягом тієї ж фази [4–7]. Однак час спрацювання комутованих операційних підсилювачів зменшує доступний час встановлення сигналу, а отже, збільшує вимогу до смуги пропускання [4].

**Техніка спільного використання операційних підсилювачів.** Техніка спільного використання операційних підсилювачів може ділити операційні підсилювачі між складовими інтеграторами та суматорами під час різних фаз усередині сигма-дельта-модулятора. Тому його можна використовувати для підвищення енергоефективності системи [4, 8, 9]. Однак окремий підсилювач у роботі надмірно обмежений специфікаціями шуму та врегулювання інтегратора 1-го ступеня, які є досить непотрібними для наступних двох етапів [9].

Для належного розподілу операційних підсилювачів між різними каскадами також слід використовувати складну логіку управління синхронізацією. Крім того, через вузол заземлення спільних операційних підсилювачів система страждає від ефекту пам'яті спільних операційних підсилювачів, що погіршує загальну продуктивність всієї системи.

**Техніка заміни операційного підсилювача.** Техніка заміни операційного підсилювача намагається замінити операційні підсилювачі альтернативними блоками, такими як детектори нульового перетину [10], динамічні компаратори [11], інвертори [12] та кільцеві підсилювачі. Сигма-дельта-модулятори з детекторами нульового перетину, можуть навряд чи досягти високої роздільної здатності через перевищення напруги, що спричинене затримками переходу від нуля до стабільного результату виявлення. В той час як точність сигма-дельта модуляторів, що використовують інтегратори на основі динамічних компараторів та

інверторів, в основному погіршується через їх обмежений коефіцієнт посилення постійного струму та зміщення, яке передається на вхід.

Для кільцевих підсилювачів, основним недоліком їх використання є погана стабільність. Більше того, через їх нелінійну природу та кілька діючих областей, досить складно розробити стабільний кільцевий підсилювач.

**Інтегратори на основі регулятора напруги (VCO) та пасивні інтегратори.** Альтернативний метод полягає у використанні інтегратора на основі регулятора напруги для заміни звичайних інтеграторів, що потребують високопродуктивних операційних підсилювачів [13, 14]. Однак, при надходженні великих сигналів, лінійність генератора погіршується, що вимагає калібрування та, в загальному, обмежує точність АЦП. Тому з метою усунення міжступеневих ефектів, які є негативним чинником для більшості традиційних пасивних модуляторів запропоновано структуру пасивного сигма-дельта модулятор другого порядку, що базується на техніці обертання із розподілом заряду.

**Структура та принцип роботи пасивного сигма-дельта-модулятор другого порядку.** Спрощена схема запропонованого модулятора  $\Delta\Sigma$  другого порядку на основі обертання із розподілом заряду представлена на рис. 1. Запропонований модулятор містить фільтр низької частоти другого порядку (IIR2), 1-бітний ЦАП із зворотнім зв'язком та компаратор.

Принцип роботи IIR2 фільтра заснований на дослідженні представленому у роботі [1, 2]. Це повністю пасивна топологія, яка уникає використання експлуатаційних або будь-яких активних підсилювачів і використовує лише конденсатори та перемикачі із КМОН структурою, що в свою чергу дозволяє запобігти будь-яким міжетапним ефектам навантаження. Протягом  $\Phi_1$ ,  $V_{IN}$  відбирається на конденсаторі  $C_S$ , а потім на протязі  $\Phi_2$  верхня пластина  $C_S$  з'єднується з верхньою пластиною  $C_{H1}$ , викликаючи розподіл заряду між  $C_S$  і  $C_{H1}$ . Тому в кінці  $\Phi_2$   $C_S$  і  $C_{H1}$  зберігають однакову інформацію про напругу. Отже, замість того, щоб використовувати  $C_{H1}$  для зарядки  $C_{S2}$ , а потім приймати  $C_{S2}$  для зарядки  $C_{H2}$ , IIR2 використовує  $C_S$  для безпосередньої зарядки  $C_{H2}$ . Коли заявляється  $\Phi_3$ ,  $C_S$  підключається до верхньої пластини  $C_{H2}$ , за допомогою якої інформація про напругу, що зберігається в  $C_S$ , ідентична інформації про напругу, що зберігається в  $C_{H1}$  в кінці  $\Phi_2$ , переходить до  $C_{H2}$  без втрат заряду в  $C_{H1}$ . На відміну від каскадно-пасивних інтеграторів SC, каскадно-пасивні інтегратори в IIR2 використовують один конденсатор дискретизації  $C_S$  між каскадами. З цієї причини IIR2 не проявляє будь-яких міжетапних ефектів навантаження, незважаючи на те, що використовуються два каскадні пасивні інтегратори.

На представленому рівні модулятора, протягом  $\Phi_1$ , різниця напруг між вхідним сигналом  $V_{IN}$  та виходом 1-бітового ЦАП зворотного зв'язку, що керованим 1-бітовим виходом квантування,  $\bar{Y}$  та  $Y$  відбирається на конденсаторі  $C_S$ .

Враховуючи, що коливання сигналу напруги на вході попереднього підсилювача є досить малим (від десятків до кількох сотень мкВ), заряд пам'яті всередині  $C_S$  наприкінці  $\Phi_3\_1$  є досить малим, щоб не впливати на осідання нового зразка. Протягом  $\Phi_2$  інформація про заряд, що зберігається на  $C_S$  і  $C_{H1}$ , передається та оновлюється, що реалізує дію пасивного інтегратора 1-го ступеня.  $\Phi_3\_1$  та  $\Phi_3\_2$  – це дві фази  $\Phi_3$ , що не перекриваються. Протягом  $\Phi\_1$  верхні пластини  $C_S$ ,  $C_{H2}$  і конденсатор зворотного зв'язку  $C_{FB}$  з'єднані між собою, щоб розділити свої заряди. Це, у свою чергу, представляє дію інтегратора 2-го ступеня з додатковим незалежним зворотним шляхом. Компаратор порівнює коливання напруги на вході попереднього підсилювача і генерує вихід системи  $Y/\bar{Y}$  на нижньому краю  $\Phi_3\_1$ . Протягом  $\Phi_3\_2$  верхні пластини  $C_{H2}$  і  $C_{H2\_Z}$  з'єднуються між собою. Це додає нуль до передавальної функції інтегратора 2-го ступеня, що сприяє стабільності. Для того, щоб мінімізувати вхідний шум і максимізувати коефіцієнт підсилення компаратора, перед звичайним компактним динамічним фіксатором використовується каскад попереднього підсилювача. Враховуючи паразитний конденсатор  $C_P$  на вузлі з'єднання між конденсатором вибірки  $C_S$  та стримуючими конденсаторами, передавальна функція інтегратора 1-го ступеня  $H_1(z)$  та 2 ступеня  $H_2(z)$  може бути виражена наступними виразами:

$$H_1(z) = \frac{\frac{1}{\gamma + p + 1} \cdot z^{-1}}{1 - \frac{r}{r + p + 1} \cdot z^{-1}} \quad (1)$$

$$H_2(z) = \frac{[1 - (1 - \varsigma)z^{-1}] \cdot \frac{\rho}{\gamma + p + 1 + \beta} z^{-1}}{1 - \left(1 - \varsigma \frac{1 + p + \beta}{\gamma + \rho + 1 + \beta}\right) z^{-1}} \quad (2)$$

де  $\gamma = C_{H2}/C_S$ ,  $\beta = C_{FB}/C_S$ ,  $\rho = C_P/C_S$ , а  $\varsigma = C_{H2} / (C_{H2} + C_{H2\_Z})$ , що впливає на положення нуля для передавальної функції.

Вираз  $\zeta \frac{1+p+\beta}{\gamma+p+1+\beta}$  в знаменнику можна розглядати як показник того, наскільки віддалений полюс від одиничного кола ( $z=1$ ). Розташування полюса, таким чином, визначається  $\gamma$ ,  $\beta$ ,  $\rho$  та  $\zeta$ . Зменшуючи  $\zeta$ , полюс можна перемістити ближче до одиничного кола.

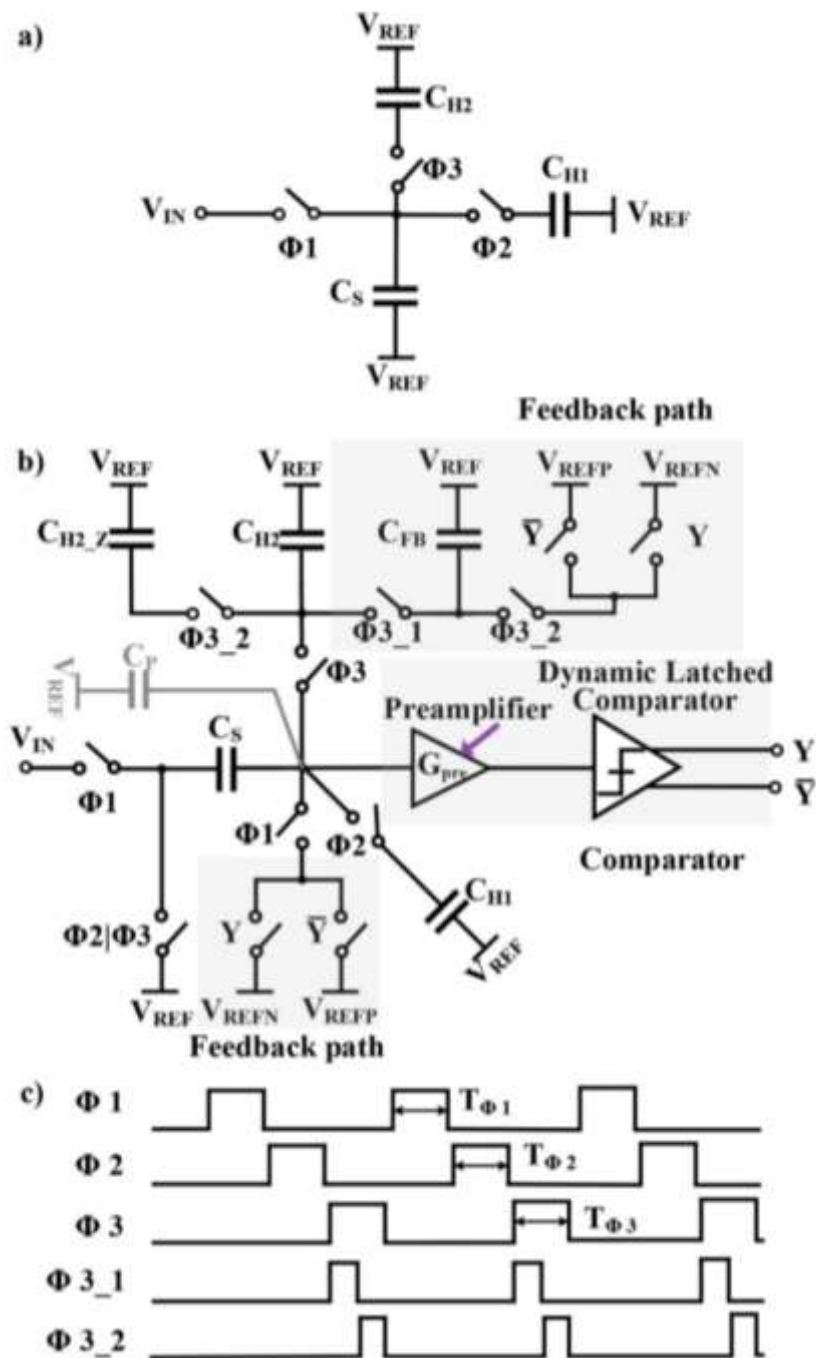


Рис. 1. Фільтр PIR2 на основі обертання з розподілом заряду (а), запропонований пасивний модулятор другого порядку (б) та його тимчасова діаграма (с)

**Висновки.** В роботі представлено архітектуру пасивного модулятора другого порядку, що використовує техніку обертання з розподілом заряду для придушення ефекту міжступеневого навантаження у фільтрі контуру конденсатора з комутованою конденсацією. Незалежний додатковий шлях зворотного зв'язку та додатковий етап, що вводять нуль у функцію передачі, додаються до 2-го ступеня низько-частотного фільтру та оптимізовані за допомогою моделювання поведінкового моделювання, щоб збільшити послаблення шумів в діапазоні квантування і поліпшити стабільність роботи.

## References

1. M. Tohidian, I. Madadi and R. B. Staszewski, "Analysis and design of a high-order discrete-time passive IIR low-pass filter," *IEEE J. Solid-State Circuits*, vol. 49, no. 11, pp. 2575–2587, Nov. 2014.
2. H. Wang, F. Schembari and R. B. Staszewski, "Passive SC  $\Delta\Sigma$  Modulator Based on Pipelined Charge-Sharing Rotation in 28-nm CMOS," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, no. 2, pp. 578–589, 2020, doi: 10.1109/TCSI.2019.2944467.
3. В. С. Голуб "Сигма-дельта-модуляторы и АЦП", *Технология и конструирование в электронной аппаратуре*, №4, с. 35–41, 2003.
4. I. Chao et al., "Analysis of Splittable Amplifier Technique and Cancellation of Memory Effect for Opamp Sharing," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 25, no. 2, pp. 621–634, 2017.
5. H. C. Kim, D. K. Jeong, and W. Kim, "A partially switched-opamp technique for high-speed low-power pipelined analog-to-digital converters," *IEEE Trans. Circ. Syst. I*, vol. 53, no. 4, pp. 501–801, Apr. 2006.
6. V. Peluso et al., "A 900-mV low-power  $\Delta\Sigma$  A/D converter with 77-dB dynamic range," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1887–1897, 1998.
7. V. Peluso, M. S. J. Steyaert, and W. Sansen, "A 1.5-V-100- $\mu$ W  $\Delta\Sigma$  Modulator with 12-b dynamic range using the switched-opamp technique," *IEEE J. Solid-State Circuits*, vol. 32, no. 7, pp. 943–952, 1997.
8. A. Pena-Perez, E. Bonizzoni, and F. Maloberti, "A 88-dB DR, 84-dB SNDR very lowpower single op-amp third-order  $\Sigma\Delta$  modulator," *IEEE J. Solid-State Circuits*, vol. 47, no. 9, pp. 2107–2218, Sep. 2012.
9. M. Sadollahi, G. C. Temes, "A 10-MHz BW 77.9 dB SNDR DT MASH  $\Delta\Sigma$  ADC With NC-VCO-Based Quantizer and OPAMP Sharing," *IEEE Trans. Circ. Syst. I*, vol. 66, no. 9, pp. 3384–3392, 2019.
10. J. Park, Y. Hwang, and D. Jeong, "A 0.4-to-1 V Voltage Scalable  $\Delta\Sigma$  ADC With Two-Step Hybrid Integrator for IoT Sensor Applications in 65-nm LP CMOS," *IEEE Trans. Circ. Syst. II*, vol. 64, no. 12, pp. 1417–1421, 2017.
11. M. C. Huang and S. I. Liu, "A Fully Differential comparator-Based Switched-Capacitor  $\Delta\Sigma$  Modulator," *IEEE Trans. Circ. Syst. II*, vol. 56, no. 5, pp. 69–73, 2005.
12. T. Christen, "A 15-bit 140- $\mu$ W Scalable-Bandwidth Inverter-ased  $\Delta\Sigma$  Modulator for a MEMS Microphone With Digital Output," *IEEE J. Solid-State Circuits*, vol. 48, no. 7, pp. 1605–1614, July. 2013. Bibliography 103
13. A. Babaie-Fishani and P. Rombouts, "A mostly digital VCO-based CT-SDM with third-order noise shaping," *IEEE J. Solid-State Circuits*, vol. 52, no. 8, pp. 2141–2153, 2017.
14. F. Cardes et al., "0.04-mm<sup>2</sup> 103-dB-A Dynamic Range Second-Order VCO-Based Audio  $\Sigma\Delta$  ADC in 0.13- $\mu$ m CMOS," *IEEE J. Solid-State Circuits*, vol. 53, no. 6, pp. 1731–1742, 2019.